

課題番号 : F-21-YA-0011
利用形態 : 技術代行
利用課題名(日本語) : ダイヤモンド半導体上の電子ビームリソグラフィー
Program Title (English) : Electron Beam Lithography on Diamond Semiconductors
利用者名(日本語) : 嘉数誠
Username (English) : Makoto Kasu
所属名(日本語) : 佐賀大学 理工学部 電気電子工学部門
Affiliation (English) : Department of Electrical and Electronic Engineering, Saga University
キーワード/Keyword : リソグラフィ・露光・描画装置、ダイヤモンド半導体、T ゲート電極

1. 概要(Summary)

ダイヤモンド半導体の高周波デバイスにはサブミクロンサイズのゲートが必要である。その作製プロセスとして電子ビームリソグラフィーの条件の最適化を行った。

2. 実験(Experimental)

【利用した主な装置】

電子線描画装置(50 kV)、走査型電子顕微鏡、スピコーター

【実験方法】

Si<100>ウェハース上に以下の方法でTゲート構造を作製した。

スピコーターを用いて、最下層に希釈したZEP-520Aを膜厚約150 nm、中間層にPMGI SF6を膜厚約300 nm、最上層にZEP-520Aを膜厚約300 nmで塗布した。電子線描画装置(50 kV)を用いて100 $\mu\text{C}/\text{cm}^2$ で幅570 nm設計のラインを描画した後、同位置に220 $\mu\text{C}/\text{cm}^2$ で幅80 nmのラインを重ねて描画した。描画後は酢酸ブチルで最上層を、SD-1で中間層を、酢酸ヘキシルで最下層を順に現像を行いTゲート構造を作製した。

3. 結果と考察(Results and Discussion)

Fig. 1(a)に現像後の形状を示す。現像後の基板は佐賀大学ALDを用いて Al_2O_3 の成膜温度振りを行った。その結果をFig. 1(b)(c)(d)に示す。

成膜温度120 $^{\circ}\text{C}$ ではレジストの形状は維持されているが、180 $^{\circ}\text{C}$ では形状が崩れ始め、230 $^{\circ}\text{C}$ では細ギャップ部が完全に消失した。

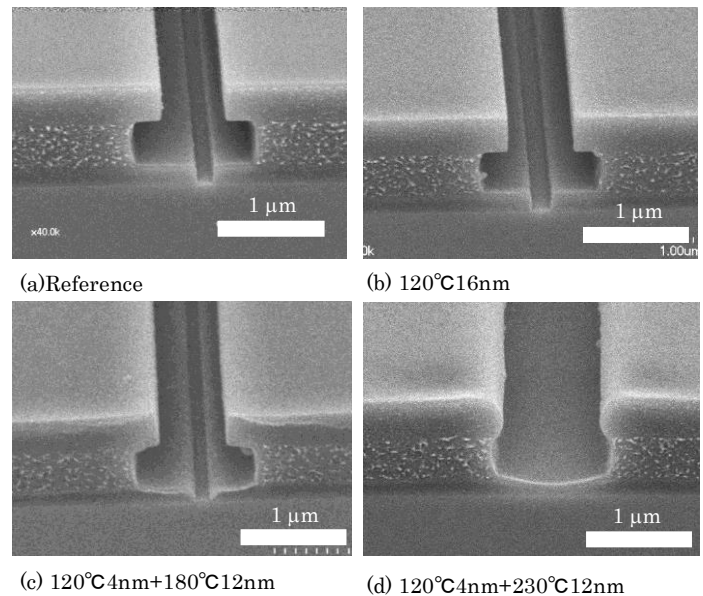


Fig. 1 Cross section SEM images of T-gate structure, before and after Al_2O_3 deposition (ALD)

4. その他・特記事項(Others)

なし

5. 論文・学会発表(Publication/Presentation)

なし

6. 関連特許(Patent)

なし