

課題番号 : F-21- UT-0057
利用形態 : 機器利用
利用課題名(日本語) : 熱電素子への成膜と電極基板の作製
Program Title (English) : Metal deposition on thermoelectric elements and fabrication of electrode
利用者名(日本語) : 岩瀬英治, 寺嶋真伍, 反町竜二
Username (English) : E. Iwase, S. Terashima, R.Sorimachi
所属名(日本語) : 早稲田大学基幹理工学部
Affiliation (English) : Waseda University, Faculty of Science and Engineering
キーワード/Keyword : リソグラフィ・露光・描画装置, 成膜・膜堆積, 表面処理

1. 概要(Summary)

本研究グループは、基板、金属電極(配線)、熱電材料を1つのデバイスへ実装することで熱電発電デバイスを作製している。現在、熱電発電における熱電材料として Bi_2Te_3 が多く用いられている。しかしながら、 Bi_2Te_3 が有害物質であるため、Si をベースとした熱電材料が着目されている。本研究グループでは、Si 系熱電材料を利用した熱電発電デバイスの作製に取り組んでいる。デバイス化を実現するためには、熱電素子と電極とを強固に接着すること、および熱抵抗の低い電極付き基板を作製することが重要である。今回、①Si 系熱電素子と電極との界面における接着強度の向上、および②熱抵抗の低いセラミック基板表面への電極成膜を目指し、東京大学超微細リソグラフィナノ計測拠点の設備を利用し、Si 系熱電発電デバイスを作製した。

2. 実験(Experimental)

【利用した主な装置】

レーザー直接描画装置(DWL66+)、高密度汎用スパッタリング装置、4 インチ高真空 EB 蒸着装置

【実験方法】

概要に記した研究項目①については、一般的な単結晶 Si と金属基板が Ti, Ni, Au からなるバックメタル層により強固な接着を実現していることを踏まえて、直径 15 mm, 厚さ 2 mm の Si 焼結体の表面に同様のバックメタル層を蒸着した。研究項目②については、レーザー直接描画装置を用いてセラミック基板(厚さは 1 mm および 0.2 mm)に対して電極および配線のパターンを描画した。後の工程でリフトオフすることを考慮し、レジストとして SIPR (スピンコート後の厚みは 2~3 μm)を採用した。

3. 結果と考察(Results and Discussion)

研究項目①については、バックメタル層として Ti(厚さ 100 nm), Ni(厚さ 400 nm), Au(厚さ 100 nm)を蒸着した熱電素子を Fig. 1 の左図に示す。この熱電素子を銅基板にハンダ付けした結果、簡単に剥離してしまった。今後は、元素分析などを利用して剥離の原因を明らかとする予定である。研究項目②については、Fig. 1 の右図に示す電極付きセラミック基板に対して、熱電素子をハンダ付けした結果、銅層が無くなったため、今後は膜厚を大きくするなどの改善が必要である。

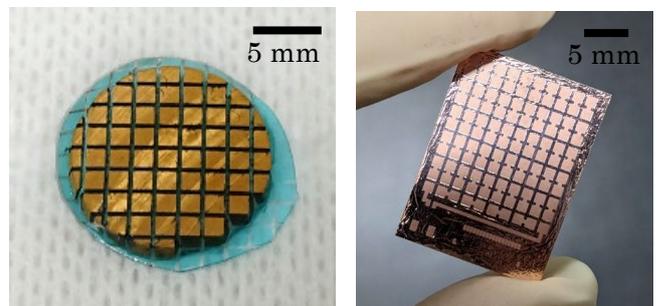


Fig.1 A thermoelectric element with a deposited back metal layer (left) and a patterned ceramic substrate by the laser drawing (right)

4. その他・特記事項(Others)

なし。

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。