

課題番号 : F-21-UT-0042
 利用形態 : 機器利用
 利用課題名(日本語) : シリコンプラットフォームを用いた光集積回路
 Program Title (English) : Photonic integrated circuits based on Si platform
 利用者名(日本語) : 竹中充, 大野修平
 Username (English) : M. Takenaka, S. Ohno
 所属名(日本語) : 東京大学大学院 工学系研究科電気系工学専攻
 Affiliation (English) : Department of Engineering, The University of Tokyo
 キーワード/Keyword : リソグラフィ・露光・描画装置、シリコンフォトニクス、SOI、フォトディテクター

1. 概要(Summary)

データセンター内で用いられる光インターコネクション用途に向けた光集積回路が活発に研究されている。我々は、シリコンプラットフォームを活用した新しい光集積回路について研究を進めている。特に化合物半導体をシリコン導波路上に貼り合わせたハイブリッド光素子について研究を進めている。今回、PIN 接合を形成した化合物半導体薄膜をシリコン導波路上に貼り合わせた受光器に関する研究を進めた。

2. 実験(Experimental)

【利用した主な装置】

高速大面積電子線描画装置 (F5112、F7000S)

ステルスダイサー(DFL-7340)

電子顕微鏡(JSM-6610LV)

【実験方法】

ウェハボンディングを用いて、PIN 接合を形成した InGaAs/InP 薄膜を Si-on-insulator (SOI) 基板上に貼り合わせた。高速大面積電子線描画装置を使い、導波路パターンを形成し、ドライエッチングにより、III-V 族半導体薄膜をパターンニングし、電極形成して素子を作製した。

Fig. 1 に作製した素子の構造を示す。

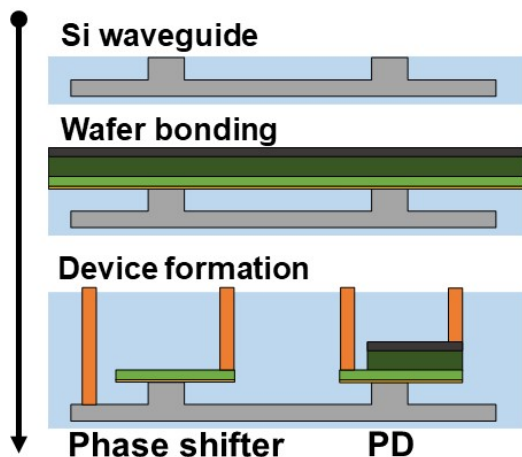


Fig. 1 Plan-view of fabricated device.

3. 結果と考察(Results and Discussion)

作製したフォトディテクター(PD)の受光特性を Fig. 2 に示す。PIN 接合の逆バイアスを印加することで、1 A/W 程度の良好な感度が得られた。また大きな逆バイアス時は雪崩増幅による感度の向上が見られた。

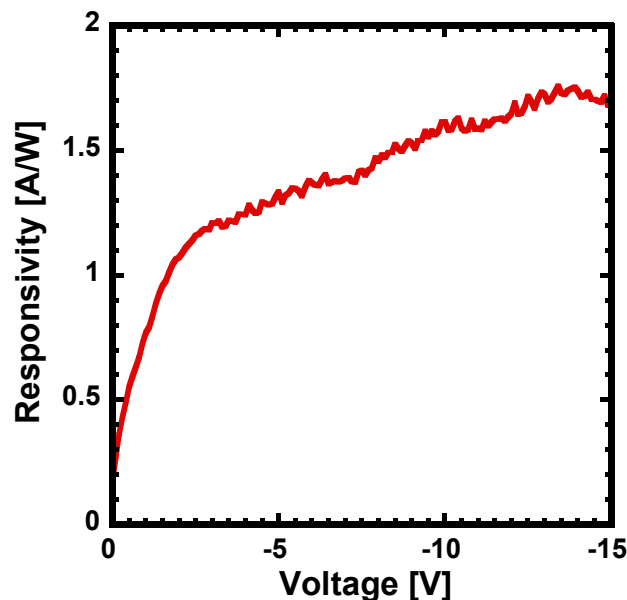


Fig. 2 Responsivity of the fabricated PD.

4. その他・特記事項(Others)

なし。

5. 論文・学会発表(Publication/Presentation)

S. Ohno, S. Monfray, F. Boeuf, K. Toprasertpong, S. Takagi, and M. Takenaka, “Monolithic integration of III-V/Si hybrid MOS optical phase shifter and InGaAs membrane photodetector,” *Optical Fiber Communication Conference (OFC2021)*, F2C.1, 6–11 June 2021.

6. 関連特許(Patent)

なし。