

課題番号 : F-21-TU-0048
 利用形態 : 機器利用
 支援課題名(日本語) : 情報環境(インフォスフィア)調和型 自己組織化ヘテロ集積システムの開発
 Research Title (English) : Research and Development of 3D LSI
 利用者名(日本語) : 福島誉史, 遠藤駿太
 Username (English) : T. Fukushima, S. Endo
 所属名(日本語) : 東北大学 未来科学技術共同研究センター
 Affiliation (English) : Tohoku University, New Industry Creation Hatchery Center
 キーワード/Keyword : 成膜・膜堆積, TSV, 3D-IC

1. 概要(Summary)

汎用的なスパッタ装置を用い、多層配線を有する Si インターポーザを作製する。2030 年には 100 兆円市場になると予測される半導体産業の中で 70%以上はメモリとロジックが専有すると言われている。次世代の積層型 AI チップの評価のため、これらを高速で接続する Si インターポーザの技術基盤を構築する。

2. 実験(Experimental)

【利用した主な装置】

芝浦スパッタ装置

【実験方法】

200 mm ウエハを用い、配線ピッチを 20 μm とし、二層配線を有する Si インターポーザを設計した。1層目の配線では Ti を密着層とし、厚さ 1 μm の Cu を上記スパッタ装置で堆積させた。その後、プラズマ CVD で SiO_2 系の絶縁膜を堆積させた。次いで、マスクアライナーでリソを行い、ウエットエッチングで Cu、および Ti をパターンニングした。ビアをドライエッチングで開口後、前記と同様の手法で二層目の配線を形成し、最後にセミアディティブ法により、連続電解めっきで Ni と Au から構成されるランディングパッドを形成して Si インターポーザを作製した。電気的な特性は四端子測定により行った。

3. 結果と考察(Results and Discussion)

Si インターポーザの設計情報を Fig. 1 に示す。また、作製した二層配線 Si インターポーザの I-V 特性を Fig. 2 に示す。Fig. 2 から分かるように、AI チップを駆動させるのに十分低い抵抗で二層配線が形成されていることが分かる。

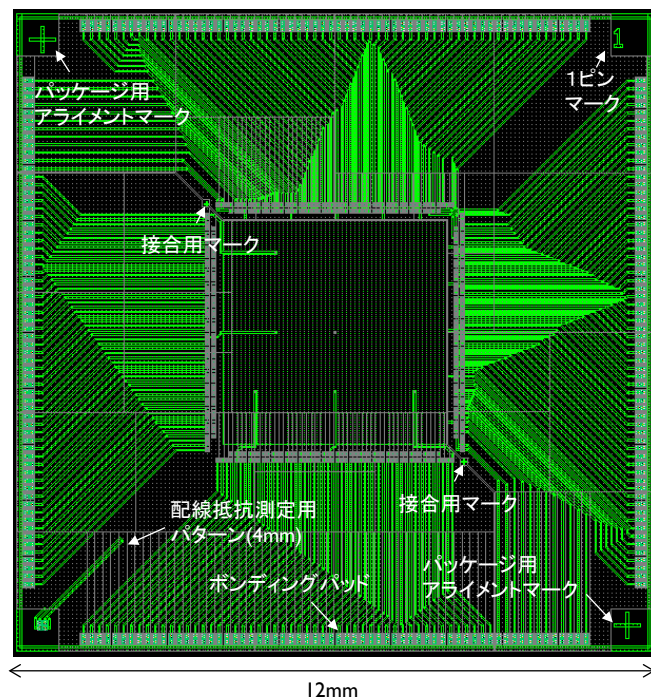


Fig. 1 The layout design of a Si interposer

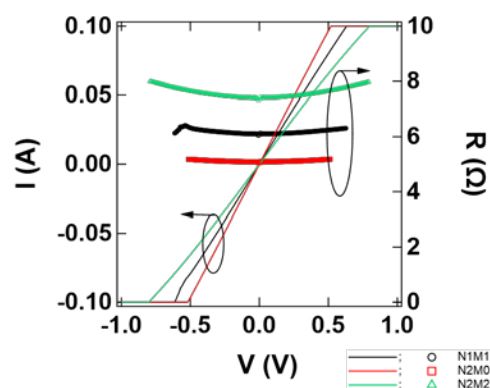


Fig. 2 I-V characteristics of a Si interposer

4. その他・特記事項(Others)

なし

5. 論文・学会発表(Publication/Presentation)

なし

6. 関連特許(Patent)

なし