

課題番号 : F-21-TU-0044
利用形態 : 機器利用
利用課題名(日本語) : 半導体ナノ構造の作成
Program Title (English) : Semiconductor Nanostructure Fabrication
利用者名(日本語) : 早瀬恭章, 遊佐剛
Username (English) : Y. Hayafuchi, G. Yusa
所属名(日本語) : 東北大学大学院理学研究科
Affiliation (English) : Faculty of Science, Tohoku University
キーワード/Keyword : リソグラフィ・露光・描画装置、ナノゲート構造、半導体

1. 概要(Summary)

東北大学ナノテク融合技術支援センターにおいて、高加速電圧電子ビーム描画装置を利用して微細なゲートパターンを作成した。

2. 実験(Experimental)

【利用した主な装置】

EB 描画装置 (Elionix ELS-G125S)

【実験方法】

本実験では物質・材料研究機構で分子線エピタキシー法により作成された二次元の量子井戸を持つ GaAs 半導体ウェハを用いている。

本研究は量子相関を測定することを目的としており、100 nm オーダーのゲート間隔を有する微細な金属ゲートの作成が必要である。

GaAs ウェハ表面には 950K PMMA-A6 という電子線レジストを塗付した。その後、電子ビーム描画装置 (Elionix ELS-G125S) を利用して加速電圧・電流 130 kV・1 nA という条件下で 100 nm のゲート間隔を有するパターンを描画した。レジストの現像は室温の MIBK を用いて行い、Ti を約 20 nm、Au を約 50 nm 蒸着した後 70°C の Microposit Remover でリフトオフした。ゲート構造の撮影は高分解能 SEM を用いて行った。

3. 結果と考察(Results and Discussion)

Fig. 1 は最適な EB ドーズにおける幅 100 nm のゲート構造を SEM で見た写真となっており、ゲートの間に PMMA やその上に乗っている金属粒子とみられる残留物があることがわかった。ゲートの長さが 10 μm と長いことに加えてゲート間隔が 100 nm と狭かったためにリフトオフが上手くいかず、このような残留物が生じてしまったと考えられる。金属ゴミは電氣的なショートにつながるため、

EB ドーズを含めた実験条件の見直しや、ゲート構造そのものの見直しが必要である。

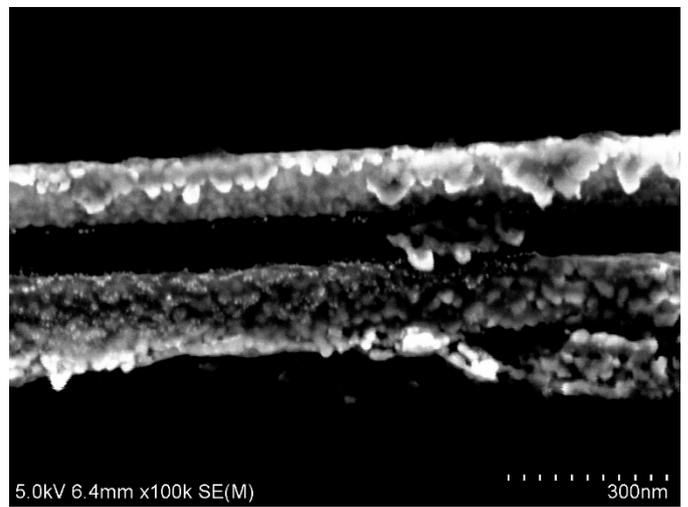


Fig. 1: SEM image of Ti/Au nanogate structure

4. その他・特記事項(Others)

・共同研究者:物質・材料研究機構
間野 高明、野田 武司

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。