

課題番号 : F-21-TT-0033
 利用形態 : 共同研究
 利用課題名(日本語) : インプラント型バイオデバイス向け最小スペース壁面配線
 Program Title (English) : Sidewall patterning for minimum space wiring in implant-type bio-device
 利用者名(日本語) : 太田淳
 Username (English) : Jun Ohta
 所属名(日本語) : 奈良先端科学技術大学院大学
 Affiliation (English) : Nara Institute of Science and Technology
 キーワード/Keyword : リソグラフィ・露光・描画装置、立体配線、最小スペース

1. 概要(Summary)

近年、埋込み型バイオデバイスを用いて、生体の運動解析や能力拡張を目指した研究が盛んである。例えば、活動中の脳機能を測定するイメージセンサである。チップ内は非常に微細なパターンからなるが、チップ外は直径が数十から数百 μm の金やアルミ線を用いたワイヤボンディングによって配線される。ワイヤ配線の空間的な膨らみは、センサ面と生体組織を離して像を不鮮明にしたり、生体組織を圧迫したりする。埋め込み型バイオデバイスは、生体組織と一緒に機能することが重要で、悪影響を与えてはならない。問題解決には、チップ壁面を立体配線に利用して、使用する空間を最小にすることが有効である。図1に最小スペース壁面配線の模式図を示す。チップ壁面を介して、表から裏面をつなげる配線パターンを用意できれば、フリップチップ実装にてフレキシブル基板と接続できる。イメージセンサだけでなく、生体電位を測定する電極も同様に配線できる。

2. 実験(Experimental)

【利用した主な装置】

マスクレス露光装置、マスクアライナ装置、洗浄ドラフト一式、デジタルマイクロスコーブ群など

【実験方法】

センサチップは高価なため、同じサイズ、同じ電極パターンを持つSi基板を昨年度(F-20-TT-0016)試作した。同程度の厚み 300 μm を持つ。チップパターンが1次元レイ状に並んだ短冊基板とした。配線パターンの潜像付きフォトリソを用意し、チップに沿わせる手作業と真空封止にて密着させ、加熱して貼付けた。

3. 結果と考察(Results and Discussion)

図2に試作した壁面配線パターンを示す。一列に並んだ電極を同時に処理できた。壁面でのレジストパターンの浮きは最小に抑えた。

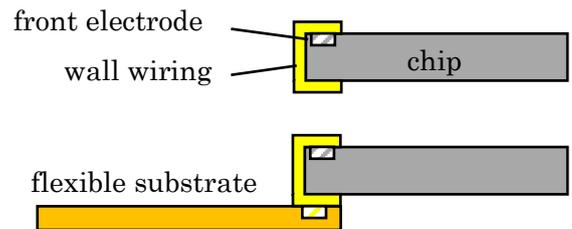


Figure 1 Minimum space wiring. (a) Chip with wall wiring. (b) Connection to flexible substrate through wall wiring.

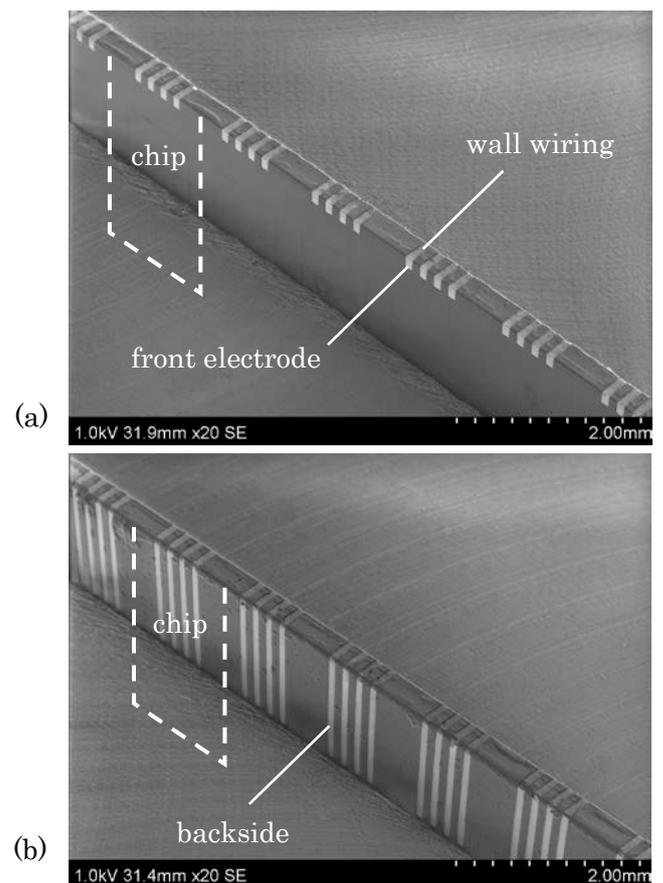


Figure 2 One-dimensional array of Si chip. (a) front and (b) back sides with the wiring pattern.

4. その他・特記事項(Others)

・共同研究者: 佐々木実(豊田工業大学 教授)

5. 論文・学会発表(Publication/Presentation) なし。

6. 関連特許(Patent) なし。