

課題番号 : F-21-RO-0022  
 利用形態 : 技術代行  
 利用課題名(日本語) : CMOS R-S Flip-Flop 回路  
 Program Title (English) : CMOS R-S Flip-Flop circuit  
 利用者名(日本語) : 竹内州  
 Username (English) : S.TAKEUCHI  
 所属名(日本語) : 静岡大学電子工学研究所  
 Affiliation (English) : Research Institute of Electronics, Shizuoka University  
 キーワード/Keyword : リソグラフィ・露光・描画装置、成膜・膜堆積、ドーピング、電気計測

### 1. 概要(Summary)

半導体集積回路への理解を深めることを目的として、CMOS-IC を作製することにより、設計、作製プロセス、測定に関わる基礎技術を一通り学習する。

具体的には、レイアウトエディタを使用して CMOS 回路の設計を行い、広島大学ナノデバイス・バイオ融合科学研究所の設備を利用して作製・評価した。

### 2. 実験(Experimental)

#### 【利用した主な装置】

レイアウト設計ツール、酸化炉、マスク露光装置、イオン注入装置、ウェル拡散炉、Al スパッタ装置、エッチング装置(レジスト Ashing 用)、PMA 炉、デバイス測定装置

#### 【実験方法】

p型シリコンウェハ上にフィールド酸化膜を形成後、n-well、アクティブ領域、pMOS S/D、nMOS S/D、ゲート酸化膜、コンタクトホール、Al 電極を順次形成し、R-S Flip-Flop を作成した。作製した回路に 3V もしくは 5V の電源電圧を印加し、入出力波形を測定し、Flip-Flop の論理動作確認を行った。

### 3. 結果と考察(Results and Discussion)

レイアウトエディタで設計した R-S Flip-Flop のレイアウトを Fig. 1 に、作製後の顕微鏡像を Fig. 2 に示す。

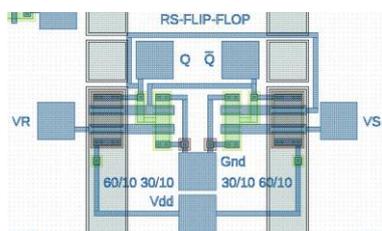


Fig. 1 Designed R-S Flip-Flop

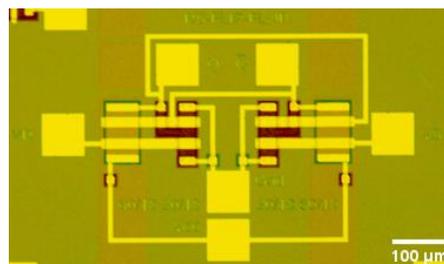


Fig. 2 Fabricated R-S Flip-Flop

半導体パラメータアナライザを使用して測定した、電源電圧 3V と 5V の場合の入出力波形を Fig. 3 に示す。

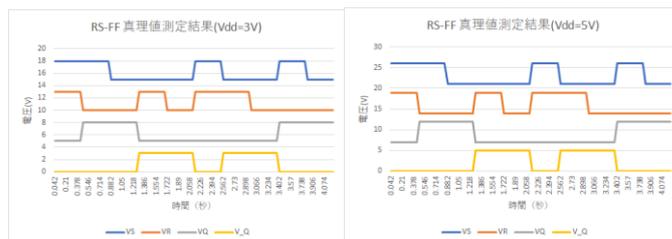


Fig. 3 R-S Flip-Flop input-output waveforms

S 入力電圧(VS)と R 入力電圧(VR)を変化させ、Q 出力電圧(VQ)及び  $\bar{Q}$  出力電圧(V $\bar{Q}$ )の変化を観察した。その結果、VS 及び VQ が 0V の場合でも直前の出力電圧を保持しており、記憶素子として働く R-S Flip-Flop の特性を確認することができた。

### 4. その他・特記事項(Others)

黒木伸一郎様、山田真司様、並びに本試作のご支援・ご指導を頂きましたナノデバイス・バイオ融合科学研究所の皆様へ感謝申し上げます。

### 5. 論文・学会発表(Publication/Presentation)

なし。

### 6. 関連特許(Patent)

なし。