

課題番号 : F-21-RO-0020  
 利用形態 : 技術代行  
 利用課題名(日本語) : High-k ゲート絶縁膜を利用した4T CLC poly-Si TFT の CMOS 展開  
 Program Title (English) : Four-terminal CLC poly-Si TFTs with high-k gate dielectric for CMOS application  
 利用者名(日本語) : 野村海成、永吉輝央、新田誠英、原明人  
 Username (English) : K. Nomura, A. Nagayoshi, M. Nitta, A. Hara  
 所属名(日本語) : 東北学院大学工学部  
 Affiliation (English) : Department of Engineering, Tohoku Gakuin University  
 キーワード/Keyword : ドーピング、イオン注入、薄膜トランジスタ、poly-Si

### 1. 概要(Summary)

High-k HfO<sub>2</sub>を利用した4端子 CLC poly-Si TFT の開発を進めている。CMOS に応用するためにはオン電流および V<sub>th</sub> のバランスが重要である。通常、オン電流に関してはゲート幅を変えることによりバランスをとる。本研究では HfO<sub>2</sub>をゲート絶縁膜とするゲート幅が異なる n-ch および p-ch 4T poly-Si TFT の作成を行い、オン電流および V<sub>th</sub> について調査した。

### 2. 実験(Experimental)

#### 【利用した主な装置】

イオン注入装置

#### 【実験方法】

HfO<sub>2</sub>をゲート絶縁膜とするゲート幅が 5 および 15 μm を有する n-ch および p-ch 4T poly-Si TFT を作成した。トランジスタアイランドは長方形の形状である。また、それぞれの TFT は設計ゲート長 3, 5, 10 μm を有している。TFT 形成プロセスは以前から行っているものと同じである。イオン注入は P と BF<sub>2</sub> を用い、10 KeV, ドーズ量 3E15 cm<sup>-2</sup>で行っている。活性化は 550°C である。Poly-Si は CLC により作成し、high-k HfO<sub>2</sub> は Ar+O<sub>2</sub> ガスによる反応性スパッタリングにより形成している。トップゲートの CET は 30 nm、BG の CET は 150 nm である。ゲート容量は TG と BG で 5 倍の差があり、電流の大きさは主にトップゲートで決まるため、測定が容易なダブルゲート (DG) モードでの TFT 評価を行っている。

### 3. 結果と考察(Results and Discussion)

Fig. 1 は DG での電流値を比較した結果である。N-ch のゲート幅は 5 μm、p-ch のゲート幅は 15 μm である。N-ch のドレイン電圧は 0.1V、p-ch のドレイン電圧は -0.05 V であるため電流値は 2 倍する必要があるが、

gate over drive=1.0 V での電流値を比較すると各ゲート長に対して電流のバランスはとれている。

一方、V<sub>th</sub> に関しては、p-ch V<sub>th</sub> は大きく負にシフトしており、1.0 V 動作を目指した場合、4T 動作を行っても調整不可能な範囲となっていることが明らかになった。このためチャネルドーピングあるいはトップゲート材料の変更が必要である。

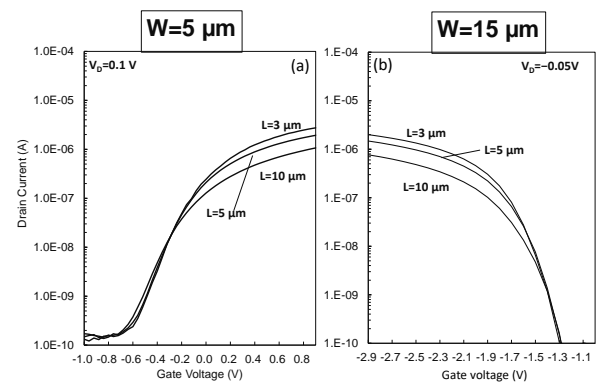


Fig.1 Transfer characteristic of DG poly-Si TFT with different gate width.

### 4. その他・特記事項 (Others)

なし

### 5. 論文・学会発表 (Publication/Presentation)

なし

### 6. 関連特許 (Patent)

なし