

課題番号 : F-21-OS-0045
利用形態 : 機器利用
利用課題名(日本語) : 半導体製造プロセス過程において動作する胎動回路
Program Title (English) : Incomplete Circuit During Semiconductor Process
利用者名(日本語) : 三浦典之、上田貴之
Username (English) : N. Miura, T. Ueda
所属名(日本語) : 大阪大学大学院情報科学研究科
Affiliation (English) : Graduate School of Information Science and Technology, Osaka University
キーワード/Keyword : 膜加工・エッチング、回路設計仕様検証、回路故障

1. 概要(Summary)

半導体集積回路チップには、設計仕様に基づいて回路図面が作成され、その設計図面に基づいて所望の電氣的動作を実行する回路パターンがプロセス製造されている。しかし、製造プロセス中の不完全な状態の回路があったときに、設計段階で意図しない仕様でその回路を動作(胎児が出産前に胎動するように動作)させると、意図しない内部信号電圧の上昇等が起こり、回路に不具合が生じる可能性について実験的に検討した。

2. 実験(Experimental)

【利用した主な装置】

深掘りエッチング装置(サムコ “RIE-400iPB-NP”)

【実験方法】

市販のシリコンCMOSプロセスを利用して、一定の電氣的動作機能を有する半導体チップをあらかじめ設計・製造し、本拠点の深掘りエッチング装置であるサムコ “RIE-400iPB-NP”を使用して、半導体チップの表面膜の一部をエッチングすることで半導体製造プロセス中の不完全な回路を再現した。加工・製造された不完全な回路に対して研究室の実験室環境にて電氣的にプロービングして、動作させることで回路に生じる不具合の有無を実験的に検証した。また、深掘りエッチング時の ICP およびバイアスの RF 電力を調整し、不完全な回路の状態を変化させて、それぞれの回路の動作を評価し、エッチング条件による差異を比較した。

3. 結果と考察(Results and Discussion)

深掘りエッチング装置の ICP 電力 300 W、バイアス電力 100 W の比較的少ない RF 出力時と、ICP 電力 1 kW、バイアス電力 300 W の最大出力時でそれぞれエッチング加工を行い、加工・製造された不完全な回路に関して電氣的な計測試験を行ったが、今回の一連の実験ではいずれの加工条件においても内部信号電圧の上昇等に伴う CMOS トランジスタ回路の不具合を検出することができなかった。例えば、MEMS 半導体製造用に使用されるような、より高出力のエッチング装置等で追加実験を行うことにより異なる実験結果が生じる可能性がある。また、今回の半導体チップに搭載した回路を再設計し、不具合の起こる可能性の高い回路の設計方法を検討し、可能であれば来年度以降に半導体チップを再製造して、本拠点の同一の深掘りエッチング装置でも不具合発生の可能性を再評価したいと考えている。

4. その他・特記事項(Others)

なし

5. 論文・学会発表(Publication/Presentation)

なし

6. 関連特許(Patent)

なし