

課題番号 : F-21-NM-0086
利用形態 : 機器利用
利用課題名(日本語) : シリコントランジスタの開発
Program Title (English) : Development of Silicon Transistor
利用者名(日本語) : 加藤公彦
Username (English) : K. Kato
所属名(日本語) : 産業技術総合研究所
Affiliation (English) : National Institute of Advanced Industrial Science and Technology (AIST)
キーワード/Keyword : ナノエレクトロニクス、リソグラフィ・露光・描画装置、トランジスタ、低消費電力

1. 概要(Summary)

低消費電力な半導体集積回路に向け、低電圧で動作可能な急峻スイッチングトランジスタが着目されている。急峻スイッチング素子候補の中でも、トンネル電界効果トランジスタ(TFET)は、既存 CMOS プロセスをそのまま転用可能であることから、有望な素子構造である。TFET 実用化の課題が、オン電流の増大である。そこで本研究では、低フットプリントかつゲート制御性の Fin 構造 TFET に着目し、様々な Fin 幅およびゲート幅の素子を作製した後に特性分析を行う。

2. 実験(Experimental)

【利用した主な装置】 125kV 電子ビーム描画装置

【実験方法】 Fin 構造 TFET は Silicon-on-insulator (SOI) 基板を用いて作製した。Fin 構造形成手順は下記の通りである: (1)SOI 表面に化学気相堆積 (CVD) による SiO₂ 膜の堆積、(2)電子線描画による細線パターン形成、(3)反応性エッチングによる SiO₂ パターニングとレジスト除去、(4)希フッ酸による SiO₂ を等方性エッチング(スリミング)、(5)スリミング後の SiO₂ をマスクとした反応性エッチングによる SOI の Fin 形状加工。最小描画線幅を約 30 nm と設計し、希フッ酸スリミングを併用することで、最小線幅 10 nm 程度の Fin 形状を形成する。

Fin 形状形成後は、ソース/ドレインに相当する領域に、それぞれ As/BF₂ のイオン注入を行い、急速活性化アニールを施す。続いて、ハフニウム酸化膜 (HfO₂) および窒化タンタル (TaN) を、それぞれ、ゲート絶縁膜およびゲート電極として堆積する。最後に、再度電子線描画を用いてゲート電極を加工する。

本研究で用いたレジストは maN-2401 ネガレジストであり、加速電圧は 125 kV、電流は 2 nA であった。

3. 結果と考察(Results and Discussion)

Fig. 1 および Fig. 2 は、先手順により作製した SOI Fin 形状の走査型電子顕微鏡 (SEM) 像である。Fig. 2 については、ゲート電極加工用レジストパターン形成後の SEM 像を示している。Fig. 1 および Fig. 2 より、Fin 幅 10 nm 以下の極細線から、Fin 幅約 100 nm の比較的太い形状において、いずれも低ラインエッジラフネス (LER) で微細加工されていることが確認できる。また、上述の手順において作製した TFET において、オン・オフ電流比が 7 桁以上のスイッチングを確認した。

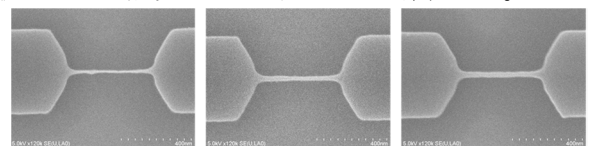


Fig. 1 SEM images of SOI Fin pattens fabricated by EB lithography.

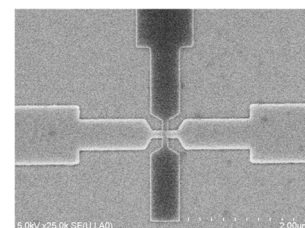


Fig. 2 SEM image of a SOI Fin patten with a gate resist pattern.

4. その他・特記事項(Others)

本研究では、産業技術総合研究所 ナノプロセッシング施設 (課題番号:21009195)も利用した。

5. 論文・学会発表(Publication/Presentation)

なし

6. 関連特許(Patent)

なし