

課題番号 : F-21-NM-0085
利用形態 : 機器利用
利用課題名(日本語) : シリコン量子ビットの開発
Program Title (English) : Development of Silicon Quantum Bit
利用者名(日本語) : 那海 涛
Username (English) : H. Na
所属名(日本語) : 産業技術総合研究所
Affiliation (English) : National Institute of Advanced Industrial Science and Technology (AIST)
キーワード/Keyword : ナノエレクトロニクス、リソグラフィ・露光・描画装置、電子線描画、量子コンピュータ

1. 概要(Summary)

近年、量子コンピュータに関する研究開発が世界各地で非常に活発に行われている。とりわけシリコンを用いた量子ビットは、高密度集積や高温動作など、大規模集積回路化に向けた多くの利点を有している。これまで所属グループでは、シリコントンネル電界効果トランジスタ(TFET)構造に Al-N アイソエレクトロニックトラップ(IET)を導入した素子において、スピン量子ビット動作を示唆する結果を得ている。[1]。本研究では、ビット間結合に向けた新規素子構造の検討と、新規 IET 元素の探索を行った。

2. 実験(Experimental)

【利用した主な装置】 125kV 電子ビーム描画装置

【実験方法】 量子ビット作製には、Silicon-on-insulator (SOI) 基板を使用した。初めに、電子線描画を用い SOI 基板をパターニングする。続いて、ソース・ドレインに対応する部分に As および BF₂ をイオン注入し、活性化アニールを行う。その後、SOI 領域にイオン注入法により種々の IET 元素を注入し、最適な活性化処理を施す。最後に、高誘電率ゲート絶縁膜およびゲート電極を堆積し、再度電子線描画を用い細線ゲート電極加工を行う。

電子線描画には、maN-2401 ネガレジストを用いた。電子線描画の加速電圧は 125 kV、電流は 2 nA であった。細線レジストパターン形成は、これまでにバーク条件の最適化を行っており[2]、本研究においても同条件を使用した。

3. 結果と考察(Results and Discussion)

Fig. 1 に作製した素子の断面透過電子顕微鏡(TEM)像を示す。所望の構造に微細加工されていることが確認された。Fig. 2 に、素子の代表的なドレイン電流-ゲート

電圧(I_d - V_g)グラフを示す。室温測定の結果において、今回、新規 IET 元素を導入した素子においても TFET として適切かつ低ばらつきで動作していることを確認した。今後、素子特性を低温下において量子特性を測定し、各種 IET 元素の効果の解明やビット間結合の実証を目指す。

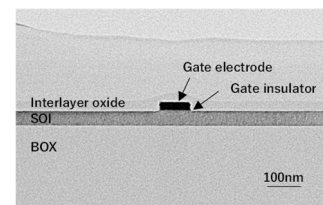


Fig. 1 Cross-sectional TEM image of fabricated device.

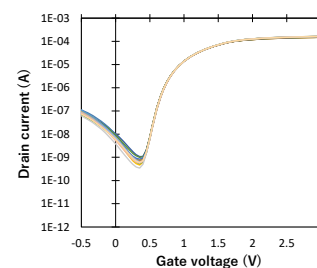


Fig. 2 I_d - V_g characteristics of fabricated devices measured at room temperature.

4. その他・特記事項(Others)

参考文献:[1] K. Ono, T. Mori, and S. Moriyama, *Sci. Rep.* **9**, 469 (2019). [2] K. Kato *et al.*, *Nanotechnology* **32**, 485301 (2021).

本研究の一部では、産業技術総合研究所ナノプロセッシング施設(課題番号:21009369、21009362)も利用した。

5. 論文・学会発表(Publication/Presentation) なし

6. 関連特許(Patent) なし