

課題番号 : F-21-NM-0062
利用形態 : 機器利用
利用課題名(日本語) : シリコン量子ビットの開発
Program Title (English) : Development of Silicon Quantum Bit
利用者名(日本語) : 柳永勲
Username (English) : Y. Liu
所属名(日本語) : 産業技術総合研究所
Affiliation (English) : National Institute of Advanced Industrial Science and Technology (AIST)
キーワード/Keyword : ナノエレクトロニクス、リソグラフィ・露光・描画装置、電子線描画、量子コンピュータ

1. 概要(Summary)

近年、量子コンピュータに関する研究開発が世界各地で非常に活発に行われている。シリコンを用いた量子ビットは、高密度集積や高温動作など大規模集積回路化に向けた多くの利点を有しており、様々な素子構造が提案されている。本研究では、素子の高密度集積やビット間結合に適した新規素子構造を提案し、微細加工技術を中心とした要素技術の開発を行った。

2. 実験(Experimental)

【利用した主な装置】 125kV 電子ビーム描画装置

【実験方法】 量子ビットの基本作製工程を示す。作製には Silicon-on-insulator (SOI) 基板を使用し、電子線描画を用いて微細加工を行う。続いて、ソース・ドレインに対応する部分に As もしくは BF₂ をイオン注入し、活性化アニールを行う。その後、ゲート絶縁膜およびゲート電極を堆積し、再度電子線描画を用いて細線ゲート電極加工を行う。新規素子実現のポイントの一つが、SOI 加工やゲート電極加工において、幅 50 nm 以下の複数の細線を、間隔狭く配置していくことである。これまで、集合細線の電子線描画に関する十分な知見が得られておらず、本研究ではその技術開発に注力した。

電子線描画には、maN-2401 ネガレジストを用いた。加速電圧は 125kV、電流は 2nA であった。細線レジストパターン形成は、これまでにバーク条件の最適化を行っており[1]、本研究においても同条件を使用した。

3. 結果と考察(Results and Discussion)

Fig. 1 に、3 本の集合細線を描画したレジストパターンを示す。設計線幅は 40 nm、線間隔はそれぞれ、(a) 50 nm、(b) 60 nm、(c) 70 nm、および(d) 80 nm である。線幅 50 nm の場合、細線同士が互いに分離できていな

い。これまでの研究において、近接効果補正中に従来では考えられていない散乱要因(中間成分)の存在が明らかとなっており[1]、その影響が本レイアウトにおいても現れていると考えられる。一方、現状においては、線間隔 70 nm 以上においては、互いに孤立した集合細線が描画できていることを確認した。

今後は、これらの電子線描画技術を活用し、実際の量子素子作製と動作実証を目指す。

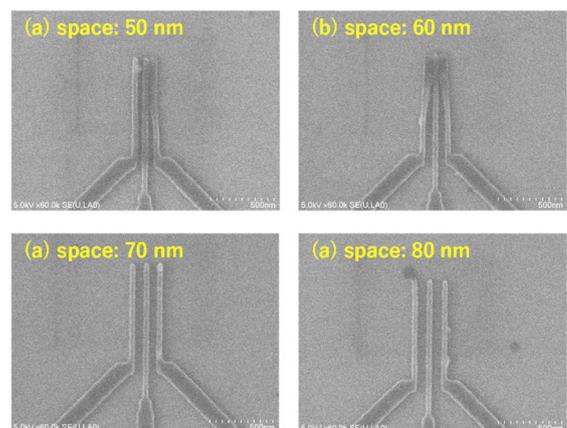


Fig. 1 SEM images of dense-line-and-space patterns. The designed line width is 40 nm.

4. その他・特記事項(Others)

[1] K. Kato *et al.*, *Nanotechnology* **32**, 485301 (2021).
本研究の一部では、産業技術総合研究所ナノプロセッシング施設(課題番号:21009422)も利用した。

5. 論文・学会発表(Publication/Presentation)

なし

6. 関連特許(Patent)

なし