

課題番号 : F-21-NM-0061  
利用形態 : 機器利用  
利用課題名(日本語) : 強誘電体ゲート FET 開発のための電子ビーム描画条件の最適化  
Program Title (English) : Optimization of EB Lithography Exposure Condition for developing ferroelectric-gate FETs  
利用者名(日本語) : 高橋光恵  
Username (English) : Mitsue Takahashi  
所属名(日本語) : 国立研究開発法人 産業技術総合研究所  
Affiliation (English) : National Institute of Advanced Industrial Science and Technology  
キーワード/Keyword : ナノエレクトロニクス、リソグラフィ・露光・描画装置、電子デバイス

## 1. 概要(Summary)

SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>(SBT)系強誘電体を用いた強誘電体ゲート電界効果トランジスタ(FeFET)をリプレースメントゲート方式の作製方法で開発している。微細ダメージゲートを形成するために、125kV電子ビーム描画装置を用いて高アスペクトで断面矩形性が良いレジストパターンを作製し、これを型にして強誘電体を埋め込むための深溝を形成した。

## 2. 実験(Experimental)

### 【利用した主な装置】

125kV電子ビーム描画装置

### 【実験方法】

リプレースメントゲート方式のFeFETを作製するためのプロセス条件出しを目的としたテスト溝基板を作製した。まず、20mm角Si基板の上にパルスレーザー蒸着法を用いてHfO<sub>2</sub>を膜厚約5nm成膜したチップを用意した。この上に125kV電子ビーム描画装置(エリオニクス)で孤立線パターンを描画した。電子線レジストにはSAL601H(ロームアンドハース)を用い、現像液にはNMD-3(東京応化工業)を用いた。これを型として深溝を形成した。実際のFeFETではイオン注入工程を経てゲート自己整合の深溝となる。この中に、SBT強誘電体の前駆体を有機気相金属成長(MOCVD)装置(渡辺商行)を用いて埋め込み、上部電極を形成後、保護膜で被覆する。最後に結晶化アニールを行ってFeFETが完成する。

## 3. 結果と考察(Results and Discussion)

電子線の描画条件を変えることでFeFETのゲートサイズを調整することが出来る。一例として作製したテスト深溝の断面の走査型電子顕微鏡(SEM)写真をFig. 1に

示した。チャンネルゲート長 $L_{ch} = 60$  nmのリプレースメントゲート方式FeFETのために作製した。従来、本実験は産総研のナノプロセッシング施設(AIST-NPF)で行っていた。2021年10月14日から2022年1月5日までの予定でAIST-NPFの建物空調改修工事が行われるのに伴い施設利用が停止されたため、NIMS微細加工PFに新規利用登録して実験を続けた。実験の再現性、即ち同条件で同等の結果が得られることを確認した。

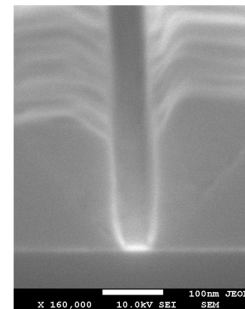


Fig.1 Cross-sectional SEM photo of a trench for replacement-gate  $L_{ch} = 60$  nm FeFET.

## 4. その他・特記事項(Others)

なし。

## 5. 論文・学会発表(Publication/Presentation)

なし。

## 6. 関連特許(Patent)

なし。