

課題番号 : F-21-NM-0053
利用形態 : 機器利用
利用課題名(日本語) : 量子コンピューティングハードウェアの研究
Program Title (English) : Fabrication of Pd electrode for qubit devices.
利用者名(日本語) : 大伴真名歩
Username (English) : Manabu OHTOMO
所属名(日本語) : 富士通株式会社
Affiliation (English) : Fujitsu Ltd.
キーワード/Keyword : ナノエレクトロニクス、成膜・膜堆積、量子コンピューティング

1. 概要(Summary)

高耐エラー量子計算を可能にする新たな量子ビットデバイスの開発を行う一環として、機能性材料の極薄膜にボトムコンタクトで接触するためのパラジウム電極形成を行った。 ~ 1 nm 程度の極薄膜へボトムコンタクトで接触を取るために、 SiO_2 基板のエッチングを行い、Pd 電極を埋め込む構造を採用した。いくつかのエッチング工程を組み合わせることで、ボトムコンタクト接合に適した電極表面を作製した結果を報告する。

2. 実験(Experimental)

【利用した主な装置】

12 連電子銃型蒸着装置、多目的ドライエッチング装置
※上記を用いた加工以外は、評価も含めて全て自社設備で行った。

【実験方法】

基板は 285 nm 厚の熱酸化膜付きシリコン基板である。レジストとして PMMA A4 をスピンコートし、電子線描画装置でパターンニングを行っている。その後のエッチング、成膜工程として、以下の2種類の工程を行い、原子間力顕微鏡 (AFM) で評価を行った。エッチング成膜工程は以下の 2 種類である。

1. CHF_3 RIE エッチング 75 秒 \rightarrow Pd/Ti 蒸着
2. BHF(50:1)エッチング 60 秒 \rightarrow CHF_3 RIE エッチング 75 秒 \rightarrow Pd/Ti 蒸着

3. 結果と考察(Results and Discussion)

それぞれの工程でエッチング、成膜、リフトオフした後の AFM 像を Fig. 1 に示す。工程 1 では電極の周囲に大きな塊が付着しているのが見受けられ (Fig. 1a)、高さが 200 nm 程度とレジストの膜厚とおおむね一致したことから、レジスト側壁に付着した Pd が残ってしまったと推

測された。これはボトムコンタクト型の電極接合を阻害する原因となり得るので、工程 2 で短いウェットエッチングを挟んだところ、バリの発生が大幅に抑えられた (Fig. 1b)。ウェットエッチングが等方的にパターン近傍を削ったため、電極とレジストの間が離れ、リフトオフ時にバリが残らなかったものと推測される。なおウェットエッチングは電極周囲に谷状の溝を残しており (Fig. 1c)、その幅は概ね最大で 20-30 nm、深さ ~ 5 nm と見積もられた (Fig. 1d)。今後この電極に機能性材料を転写し、更なる特性評価を行う。

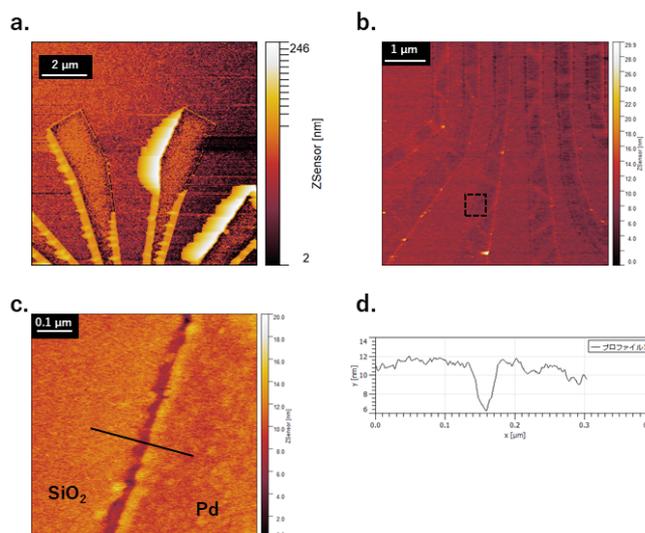


Fig. 1 AFM images of (a) the sample surface with RIE and Pd deposition, and (b-c) the sample surface with BHF etching, RIE and Pd deposition. The area indicated by black rectangle is magnified in (c), and the cross-section profile at the black solid line is shown in (d).

4. その他・特記事項(Others)

なし。

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。