

課題番号 : F-21-NM-0014  
 利用形態 : 技術代行  
 利用課題名(日本語) : 熱電素子テスト構造の試作  
 Program Title(English) : Prototyping Thermoelectric Device Test Structure  
 利用者名(日本語) : 中林肇  
 Username(English) : H. Nakabayashi  
 所属名(日本語) : 東京エレクトロン株式会社  
 Affiliation(English) : Tokyo Electron Limited  
 キーワード/Keyword : ナノエレクトロニクス、成膜・膜堆積、熱電素子、リソグラフィ・露光・描画装置、形状・形態観察

## 1. 概要(Summary)

電子部品および装置の電子冷却は温度の制御性が高く実装が容易な冷却技術として広く利用されている。また、近年では集積回路の廃熱の増大を解決する手段としてダイ上に実装した冷却装置により発熱が大きなホットスポットを解消するというアイデアも提案されている。[1]。

組み込み型冷却装置としてオンチップ形成にも適したシリコン CMOS 工程との親和性が高い冷却素子として熱伝導のサイズ効果を利用した高効率シリコン熱電素子[2]の試作と素子性能のベンチマークと安価なシリコン微細加工スキームの検討を行う。

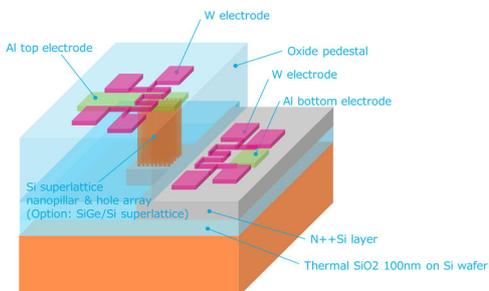


Fig. 1 Schematic drawing of Si based thermoelectric device prototype

## 2. 実験(Experimental)

【利用した主な装置】 酸化膜ドライエッチング装置、走査電子顕微鏡、イオンスパッタ、顕微式自動膜厚測定システム、プラズマ CVD 装置

【実験方法】 本研究にて試作する熱電素子テスト構造を Fig. 1 に示す。熱酸化により絶縁した Si 基板上に n+poly Si 層の成膜と ArF 液浸露光を TIA(つくばイノベーションアリーナ)にて行い、弊社内にてドライエッチングによる Si 微細構造のアレイを形成した。高アスペクト比 Si 微細構造形成後の平坦化材料、加工方法の検討と配線形成工程の開発を NIMS において実施した。

SOG 埋め込み、エッチバックにより構造形成する方法には素子のグローバル段差に起因した形状制御の課題があり、対策として導入したレジストエッチバック法にもレジスト膜質が厚み方向に不均一であることによるエッチレート差が加工形状のパターン依存を強める影響を与えることが判明した。(Fig. 2)

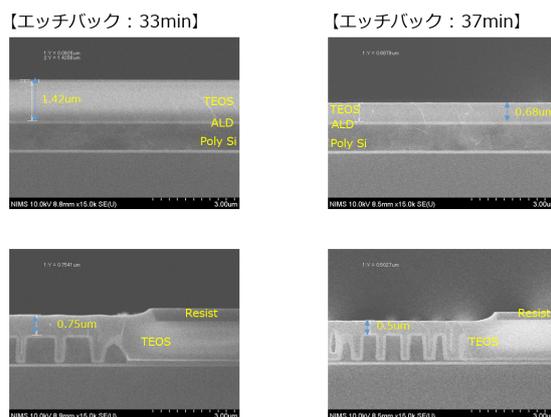


Fig. 2 Pattern density dependency of resist etch back planarization process

## 3. 結果と考察(Results and Discussion)

平坦化プロセスの困難を回避するため試作する素子構造、プロセスフローの再検討を行うこととした。開発の過程において多くの助言とプロセス提案をいただいた NIMS 大里氏ならびにスタッフの方々に感謝いたします。

## 4. その他・特記事項(Others)

参考文献: [1] I. Chowdhury, et.al., Nature Nanotech 4, 235-238 (2009)

[2] M. Tomita, et.al., Symposium on VLSI Technology, Digest of technical papers, pp. 93-94, (2018).

## 5. 論文・学会発表(Publication/Presentation)

なし。

## 6. 関連特許(Patent)

なし。