

課題番号 : F-21-KT-0031
 利用形態 : 技術代行、機器利用
 利用課題名(日本語) : 配線電極付き石英基板上 TEOS 厚膜のドライエッチング加工検証
 Program Title (English) : Dry Etching verification of TEOS thick film on quartz substrates with electrodes
 利用者名(日本語) : 今泉伸治
 Username (English) : Shinji IMAIZUMI
 所属名(日本語) : ソニーグループ株式会社
 Affiliation (English) : Sony Group Corporation
 キーワード/Keyword : 膜加工・エッチング、リソグラフィ・露光・描画装置、エッチングホール形成

1. 概要(Summary)

本報告書では、京都大学ナノテクノロジーハブ拠点において検証した配線電極付き石英基板の加工プロセス検討内容について報告する。特に配線電極付き石英基板上に成膜した TEOS (Tetraethoxysilane) 厚膜を磁気中性線放電ドライエッチング (magnetic Neutral Loop Discharge: NLD) 装置を用いて検証した、エッチングホール形成検討結果について報告する。

2. 実験(Experimental)

【利用した主な装置】

レーザー直接描画装置、両面マスクアライナー、電子線蒸着装置、プラズマ CVD 装置、磁気中性線放電ドライエッチング装置、触針式段差計、ダイシングソー 等

【実験方法】

まず、6 インチ SiO₂ (石英) 基板上にレジスト 2 層 (THMR-iP1800EP / PMGI) を被覆し、マスクアライナーを用いた露光処理によって、SiO₂ 基板上に配線用レジストパターンを形成した。次に、電子線蒸着装置を用いて Pt / Ti 層 (膜厚: 100 nm / 5 nm) を成膜し、リフトオフを経由して配線電極を形成した。その後、プラズマ CVD 装置を用いて TEOS 厚膜層 (膜厚: 10 μm) を形成した。

更に、再度フォトリソグラフィプロセス/蒸着プロセスを経由して、TEOS 厚膜上に Cr メタルマスク層 (厚膜: 300 nm) を形成した後に、NLD 装置を用いて TEOS 層の部分エッチングを行うことで、Pt 電極直上にエッチングホールを形成し、電極部を露出させた (Fig. 1a 参照)。最終的に、ダイシング処理の後に Cr 層の除去を行うことで、目的とする電極配線が配備された石英基板チップを得た。

3. 結果と考察(Results and Discussion)

最終的に得られた配線電極付き SiO₂ 基板チップの試

料画像を Fig.1b に示す。検証当初、6 インチ石英基板をそのまま TEOS のドライエッチング処理を行ったところ、基板面内 (Fig.1b 破線) 方向にエッチング分布が発生した (Fig. 1c 灰色)。これに対し、6 インチ石英基板周辺を除去した後に SiC 基板に貼り付けた状態 (Fig. 1b 参照) で TEOS エッチング処理を行ったところ、エッチング面内分布は大幅に改善した (Fig. 1c 赤色)。

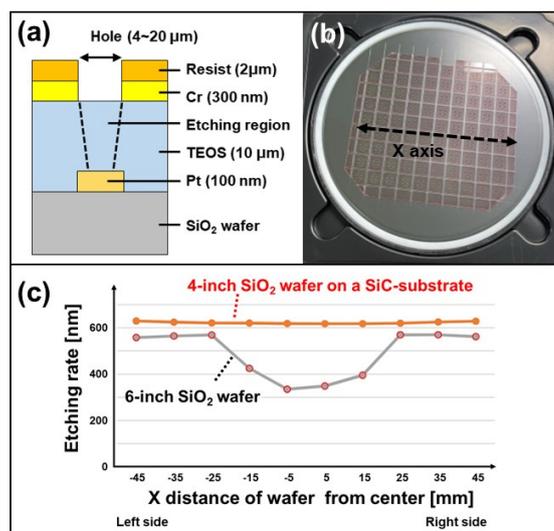


Fig. 1 (a) Cross section image of the SiO₂ chip, (b) photo image of SiO₂ chips after dicing, (c) comparison of in-plane etching distribution of SiO₂ wafer and SiO₂ wafer on a SiC-substrate.

4. その他・特記事項(Others)

謝辞: 施設管理者、技術代行担当者としてご支援頂いた、佐藤政司様、今井憲次様をはじめ、京都大学ナノテクノロジーハブ拠点の施設担当者皆様に深く感謝致します。

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Pate) なし。