

課題番号 : F-21-IT-034
 利用形態 : 機器利用
 利用課題名(日本語) : 学部学生実験 MOS 集積回路作製
 Program Title (English) : Fabrication of MOS integrated circuit for student experiment
 利用者名(日本語) : 後藤高寛
 Username (English) : T. Gotow
 所属名(日本語) : 東京工業大学 工学院 電気電子系
 Affiliation (English) : Tokyo Institute of Technology, Dept. Electrical and Electronic Eng.
 キーワード/Keyword : リソグラフィ・露光・描画装置, MOSFET, 集積回路, シリコン

1. 概要(Summary)

東京工業大学電気電子系学部では3年次に学生教育のための学生実験を行っている。その1つとしてMOS(金属・絶縁膜・半導体)集積回路作製を行っている。今回、東京工業大学微細加工PFの施設・サービスを利用し、マスクレス露光装置を用いてフォトリソグラフィ技術を駆使したSi nMOSFETの作製を行ったので報告する。

2. 実験(Experimental)

【利用した主な装置】

マスクレス露光装置

【実験方法】

本実験に用いるチップとして、ゲート長 50 μm の n-MOSFET が多数配列された 15 mm 角四方の Si チップを準備した。このチップには MOSFET の電極パッド、および複数の MOSFET を接続するための配線を形成するために全面に Al が堆積されている。Fig. 1(左)に MOSFET 断面図を示す。ソース・ドレイン・ゲートの各電極パッドを形成するため、CAD パターンを設計した。また、同時に複数の MOSFET で構成された AND 回路と OR 回路を評価可能な設計とした。Si チップにレジストを塗布した後、マスクレス露光装置を用いて CAD パターンを露光した。レジストを現像した後、Al をエッチングするためには 1% に希釈した HF を用いた。パターン形成後の Si チップの写真を Fig. 1(右)に示す。

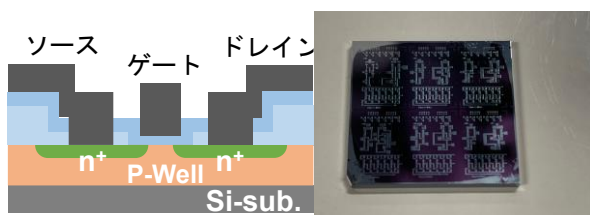


Fig. 1 Schematic image of Si MOSFET and fabricated Si-MOS Chip images.

3. 結果と考察(Results and Discussion)

Fig. 2 にフォトリソグラフィ技術を駆使して Al 電極パッドを形成した Si n-MOSFET の I_D - V_G 特性を示す。トランジスタの特性が観測された一方、そのしきい値の値は 12V ($V_D = 1V$) であり、シフトしていることが分かった。そこで、同サンプルを水素雰囲気下で 400°C でアニールした。アニール後の I_D - V_G 特性を Fig. 3 に示す。 $V_D = 1V$ の時の I_D 特性からしきい値は 3V であることが分かった。水素アニールを施すことで、しきい値がシフトし、良好な値となることが分かった。

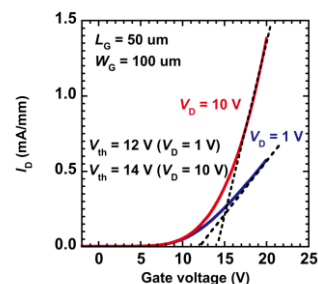


Fig. 2 I_D - V_G characteristics of fabricated Si-nMOSFET without H_2 annealing.

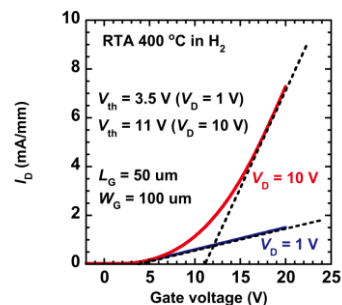


Fig. 3 I_D - V_G characteristics of fabricated Si-nMOSFET with H_2 annealing.

- 4. その他・特記事項(Others) 無し。
- 5. 論文・学会発表(Publication/Presentation) 無し。
- 6. 関連特許(Patent) 無し。