

課題番号 : F-21-IT-020
利用形態 : 機器利用
利用課題名(日本語) : 化合物半導体上への誘電体膜パターン形成
Program Title (English) : Fabrication of Dielectric Film and Pattern on Compound Semiconductor
利用者名(日本語) : 比嘉康貴
Username (English) : Yasutaka Higa
所属名(日本語) : ソニーグループ株式会社 R&D センター Tokyo Laboratory 06
Affiliation (English) : Sony Group Corporation, R&D Center, Tokyo Laboratory 06
キーワード/Keyword : 成膜・膜堆積、フォトニクス

1. 概要(Summary)

化合物半導体レーザの作製のためにプラズマ CVD 装置による誘電体形成(絶縁膜および反射抑制膜として利用)を行った。

2. 実験(Experimental)

【利用した主な装置】

プラズマ CVD 装置 (F-IT-149)

【実験方法】

既に半導体メサや電極などのパターニングが施された GaAs 基板に対し、プラズマパワー(LF) 50W, チャンバ圧力 100Pa, SiH₄ 5 sccm, He 8sccm, N₂ 500sccm, H₂ 500sccm の条件で SiN_x を製膜した。成膜時間を 2 分、3 分、4 分と変えて複数サンプルを作製し、光学顕微鏡による外観観察およびエリプソメトリー法による屈折率及び膜厚の測定を行った。また、そこから求めた成膜レートから、厚さ 120nm 程度となる時間で成膜制度を確認した。

3. 結果と考察(Results and Discussion)

Fig.1 にプラズマ CVD 後の基板の外観写真を示す。おおよそ、エリプソメトリーにて測定した膜厚からして相当の発色の外観となっており、面内で顕著なムラなどは発生しないことが確認できた。また、成膜時間と厚さの関係性は Fig.2 のようになっており、成膜レートをこの結果を 1 次近似した式から 24.714[nm/min]と定めた場合、狙いに対するずれが 1.5%以内であることがわかった。また、屈折率についても、標準的な Si₃N₄ の特性とほぼ同等なものが再現性良く得られていることがわかった。

これらの結果から、本装置の利用により半導体レーザに必要とされる厚さ、屈折率および精度での成膜が実現できることが確認できた。

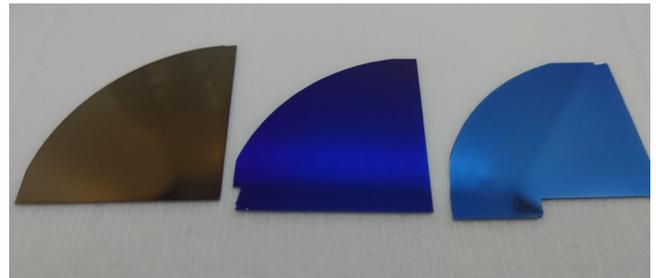


Fig1. The appearance of GaAs substrate after SiN_x deposition.

From left to right: 2 minutes, 3 minutes, 4 minutes.

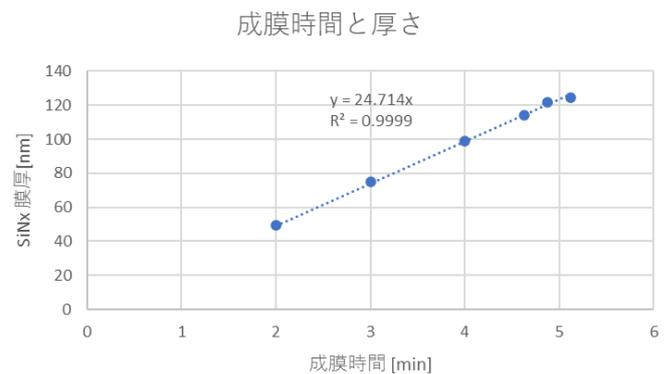


Fig2. The relationship between deposition time and thickness of SiN_x.

4. その他・特記事項(Others)

なし。

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。