

課題番号 : F-21-FA-0010
利用形態 : 機器利用
利用課題名(日本語) : MOS-CAP 構造を利用したゲート酸化膜評価
Program Title (English) : Analysis of gate oxide film using MOS-CAP structure
利用者名(日本語) : 奥山亮輔¹⁾
Username(English) : R.Okuyama¹⁾
所属名(日本語) : 1) 株式会社 SUMCO
Affiliation(English) : 1) SUMCO Corporation
キーワード/Keyword : MOSFET、電気計測、CV 特性、シリコンウェーハ

1. 概要(Summary)

様々な分野に用いられている撮像素子において、デバイス特性を悪化させる原因の一つにシリコン(Si)とシリコン酸化膜(SiO₂)界面における界面準位欠陥に起因したリーク電流がある。撮像素子では、わずかなリーク電流も歩留まりを低下させる要因となることから、SiO₂/Si 界面準位の制御は重要な技術課題である。我々は各種 Si ウェーハの開発を行っているが、ウェーハ種毎に界面準位欠陥を評価する手段が重要であることから、ウェーハ種の違いによる SiO₂/Si 界面への影響を明らかとすることを目的に MOS 構造サンプルの CV 特性を評価した。

2. 実験(Experimental)

【利用した主な装置】 デバイスアナライザ、マニュアルプローバ

【実験方法】

(公財)北九州産業学術推進機構共同研究開発センターデバイスアナライザとマニュアルプローバを用いて、MOS 構造サンプルの CV 測定をおこなった。ウェーハにはポリッシュドウェーハ(PW)とエピタキシャルウェーハ(EW)を用いた。

3. 結果と考察(Results and Discussion)

Fig. 1 は試作した MOS 構造サンプルの CV 測定結果である。CV 測定は低周波測定として Quasi-Static CV (QSCV) 法を用いておこない、高周波測定は周波数 1 MHz にて実施した。Fig.1 に示したように、PW と EW では CV 曲線に違いがみられることがわかった。酸化膜は 25nm の条件にて形成しているが、0V での容量値に関して、EW は QSCV と高周波 CV 曲線との差が小さくなることがわかった。一方で PW は大きな差が見られており、

PW と EW では表面の完全性の違いによって SiO₂/Si 界面の欠陥密度が異なることが原因と考える。

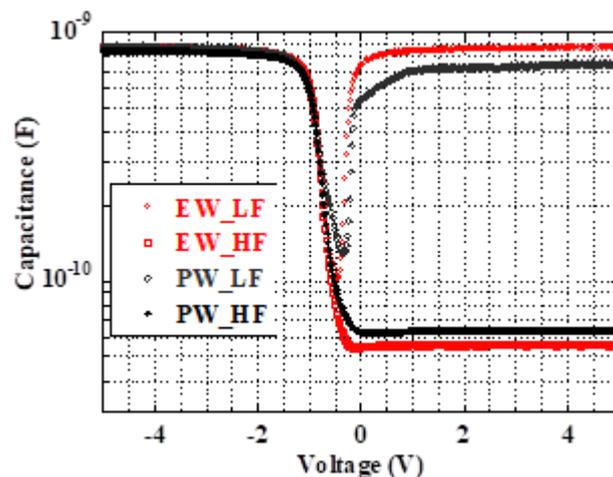


Fig. 1 C-V characteristics for each samples

上記の結果から、CV 測定を用いることで SiO₂/Si 界面欠陥に関する評価が可能である指針を得ることができた。SiO₂/Si 界面の欠陥準位は微細化が進み微小リーク電流も影響するデバイスには大きな課題となるため、ウェーハ種毎の SiO₂/Si 界面に与える影響を評価することは今後のウェーハ開発の製品設計において極めて重要となってくる。

4. その他・特記事項(Others)

・特になし。

5. 論文・学会発表 (Publication/Presentation)

・特になし。

6. 関連特許 (Patent)

・特になし。