

課題番号 : F-21-FA-0007  
 利用形態 : 機器利用  
 利用課題名(日本語) : 3次元パワーSoC実現に向けてのプロセス技術の開発  
 Program Title (English) : Development of the process technology for 3D power supply on chip  
 利用者名(日本語) : 松本 聡  
 Username (English) : Satoshi Matsumoto  
 所属名(日本語) : 九州工業大学大学院工学研究科  
 Affiliation (English) : Graduate School of Engineering, Kyushu Institute of Technology  
 キーワード/Keyword : 膜加工・エッチング、パワーSupply on chip、異種デバイス集積化  
 /power supply on chip, heterogeneous integration

## 1. 概要(Summary)

GaN パワーデバイスと Si デバイスの集積化に向けて、GaN/Si(111) 基板と Si(100) 基板の接合技術、GaN/Si(111)基板と Si(100)基板接合後の Si(111)基板の薄層化技術の研究を進めている。

## 2. 実験(Experimental)

### 【利用した主な装置】

北九州産業学術推進機構 共同研究開発センター:プラズマ CVD 装置、マスクアライナ

NIMS: 原子層堆積装置

広島大学:エッチング装置(Si 深堀用)

九州工業大学マイクロ化総合技術センター:プラズマ CVD、Deep RIE

### 【実験方法】

九州工業大学マイクロ化総合技術センターでプラズマ CVD により SiO<sub>2</sub>を GaN/Si(111)基板上に、同様に、北九州産業学術推進機構(FAIS)で Si(100)基板上にプラズマ CVD により SiO<sub>2</sub>を堆積した後、プラズマ CVD SiO<sub>2</sub>を CMP(Cheical Mechanical Polishing)により、平坦化する。その後 NIMS の原子層堆積装置で Al<sub>2</sub>O<sub>3</sub>を堆積し(Fig.1(a),(b))、室温の表面活性化接合により GaN/Si(111)基板と Si(100)基板を接合した[1]。その後、Si(111)基板を研削・研磨、CMP により GaN/Si(111)基板を薄層化した後、広島大学のエッチング装置( Si 深堀用)または九州工業大学マイクロ化総合技術センター)の Deep RIE を用いて Si(111)基板を薄層化した(Fig.1(c))。また、一部試料については DEEP RIE で Si エッチング後、フッ硝酸によるエッチングを行った。現在、条件を変えて試料の作成を進めている。同時に加工した試料をラマン分光装置や断面 SEM 観察を行っている。

## 3. 結果と考察(Results and Discussion)

Si(111)基板を SF<sub>6</sub>のみで除去した場合、基板表面に凹凸ができるが、Boshプロセスで除去すると凹凸はみられない。

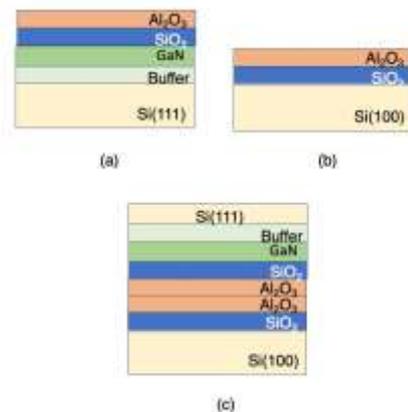


Fig.1 process flow

Si(111)基板が 35 μm 程度残っているとラマン分光で GaN からの信号が得られないことがわかった。

## 4. その他・特記事項(Others)

[1] R. Ishito, K. Ono, and S. Matsumoto, IEEE CPMT Symposium Japan 2019(ICSJ2019) ECR Session12, 2019.

・共同研究者 新海聡子(九州工業大学)

・外部資金 科研費 21H01314

・他の機関利用:NIMS: F21-NM-0020

広島大学 F21-RO-0046

## 5. 論文・学会発表(Publication/Presentation)

なし

## 6. 関連特許(Patent)

なし