

課題番号 : F-21-FA-0006  
 利用形態 : 機器利用  
 利用課題名(日本語) : ファンアウト型ウエハレベルパッケージ作製  
 Program Title (English) : Fabrication of Fan-Out Wafer Level Package  
 利用者名(日本語) : 万波徹、母里将大、稲垣雅一、岩田真典  
 Username (English) : T.Mannami, S.Bori, M.Inagaki, M.Iwata  
 所属名(日本語) : ピーエムティー、ミニマル&パッケージファウンダリグループ  
 Affiliation (English) : PMT, Minimal & Packaging Foundry Group  
 キーワード/Keyword : リソグラフィ、露光装置、成膜・膜堆積、エッチング、形状・形態観察、元素分析

**1. 概要(Summary)**

Φ22mm 基板を使ったウエハレベル IC パッケージ試作とベースラインプロセスの確立を FAIS の施設を利用して進めている。

**2. 実験(Experimental)**

**【利用した主な装置】**

両面マスクアライナ, 拡散炉, プラズマ CVD, コータ/ディベロップ, 走査型電子顕微鏡, デバイスアナライザ, マニュアルプローバ

**【実験方法】**

- アッシング、酸化膜成膜、AlSi 膜成膜
- リソグラフィ
- I-V 特性測定
- SEM 形状観察、元素分析

**3. 結果と考察(Results and Discussion)**

貴機関の設備を利用して下記の内容を実施した。

- 再構成基板作製時のチップマウントアライメント用基板の作製、
- 各層のパターンニング
- パッケージ形成後の電気特性測定



Fig.1 Fan-Out Wafer Level Package Cross-sectional structure

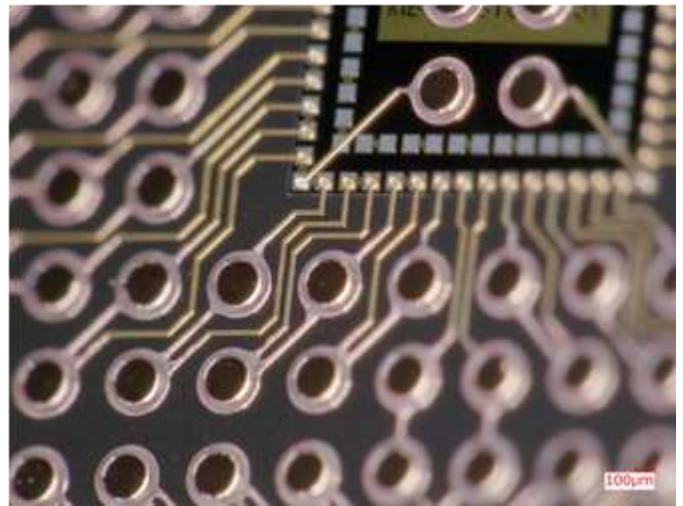


Fig.2 FOWLP Daisy Chain TEG Package

**4. その他・特記事項(Others)**

- 2013 IEEE 15th Electronics Packaging Technology Conference (EPTC 2013), 「Interconnect technologies for stem-in-package integration」 Hans-Joerg Timme ; Klaus Pressel ; Gottfried Beer ; Robert Bergmann

**5. 論文・学会発表(Publication/Presentation)**

- 岩田真典、第 64 回応用物理学会秋季術講演, 16a-E206-12
- ISSM2018 「Development of Half-inch FOWLP Process Line utilizing Minimal Fab」 Kenji Miyake / Masanori Iwata / Toru Mannami

**6. 関連特許(Patent)**

なし。