

課題番号 : F-21-BA-0009
 利用形態 : 機器利用
 利用課題名(日本語) : パターン投影リソグラフィシステムを利用した金属酸化物へのナノギャップ電極対の作製
 Program Title (English) : Fabrication of nanogap electrodes on metal oxide using pattern projection lithography system
 利用者名(日本語) : 伊勢 柁希, 森本大智, 八田桃果, 木下健太郎
 Username (English) : M. Ise, D. Morimoto, M. Hachida, K. Kinoshita
 所属名(日本語) : 東京理科大学理学部応用物理学科
 Affiliation (English) : Department of Applied Physics, Faculty of Science, Tokyo University of Science
 キーワード/Keyword : リソグラフィ・露光・描画装置、成膜・膜堆積、電子ビーム蒸着、ナノギャップ電極

1. 概要(Summary)

イオン液体を用いた電界効果トランジスタ(IL-FET)におけるゲート電圧誘起のチャネル抵抗変化には、静電的な電子注入のみならず様々な動作メカニズムが提案されている [1], [2]。今回、IL-FET のソース・ドレイン間隔をナノスケールにすることで、チャネル材料の横型 ReRAM 動作が実現し、酸素欠陥(V_o)濃度を調節できるようになった。本研究の目的は IL-FET における金属酸化物のゲート電圧誘起抵抗変化と V_o 濃度の関係を明らかにすることにある。

2. 実験(Experimental)

【利用した主な装置】

パターン投影リソグラフィシステム

電子線蒸着装置

【実験方法】

本研究では、 SiO_2 板上に数十~百 nm の間隔を有する Pt 電極対(ナノギャップ電極)を形成し、ギャップ領域にチャネル材料として WO_3 (300 nm)を成膜した FET 構造を作製した。Fig. 1 に本研究で用いた素子構造を示す。ギャップの部分にイオン液体を滴下し、ゲート絶縁膜として用いた。ナノギャップ電極作製には 2018 年度の採択課題(F-18-BA-0007)にて確立された手法で適用した。

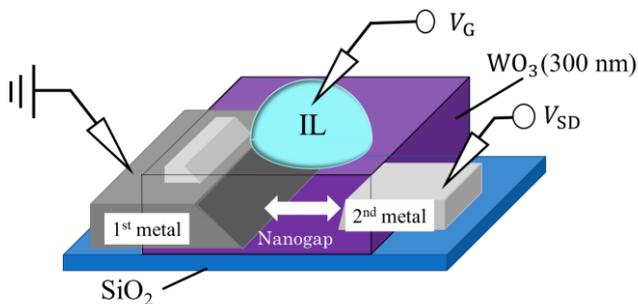


Fig. 1 IL-FET Structure with WO_3 .

3. 結果と考察(Results and Discussion)

Fig. 2(a)に作製したナノギャップ電極の SEM 像を示す。Fig. 2(a)より、1st metal と 2nd metal の間にナノギャップができていたことが確認できた。ギャップ幅は 84 nm であり、狙っていた 100 nm に近い値となった。Fig. 2(b)にはナノギャップの上から WO_3 (300 nm)を成膜した後、ReRAM 動作で低抵抗化(V_o 濃度を増加)させた時の SEM 像を示す。横型 ReRAM にすることで、ナノギャップ表面の観察が可能となった。

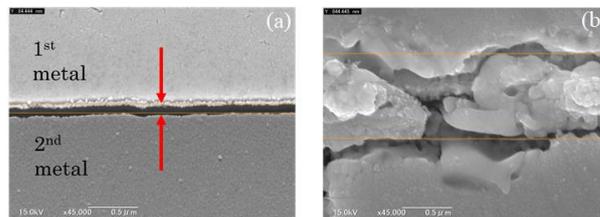


Fig. 2 SEM image of 1st and 2nd metals taken (a) before and (b) after the deposition of WO_3 layers.

ReRAM 動作で高抵抗化(V_o 濃度の増加: 400.2 k Ω)させた素子で IL-FET の測定を行った(Fig. 3)。ゲート電圧の増加と共にチャネル抵抗は増加した。ゲート電圧を 0 V に戻しても抵抗が維持されることから、ゲート電圧印可によるチャネル抵抗の変化には電気化学反応が関与していると考えられる。

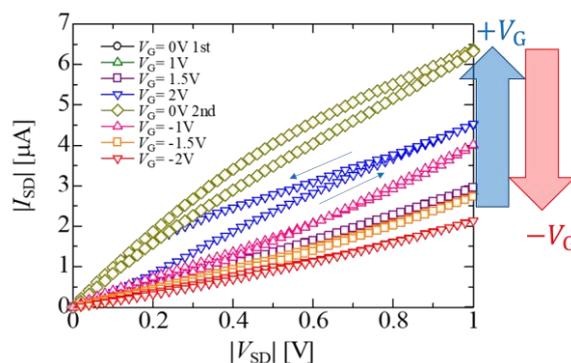


Fig. 3 Operating characteristics of IL-FET.

4. その他・特記事項(Others)

・参考文献:

[1] H.Kalhari *et al.*, *Scientific Reports*, 7, 12253(2017).

[2] M.Wang *et al.*, *Adv. Mater*, 29, 1703628(2017).

・謝辞:筑波大学数理物質系技術室の谷川俊太郎様には装置の使用法のみならず、素子作製においても有益なご助言を頂きました。

5. 論文・学会発表(Publication/Presentation)

Masaki Ise, Kentaro Kinoshita, 4th International Conference on Memristive Materials, Device and Systems (ポスター発表) 2021年11月.

6. 関連特許(Patent)

なし。