

課題番号 : F-21-AT-0095
 利用形態 : 技術代行
 利用課題名(日本語) : 原子層堆積法を用いた金属成膜
 Program Title (English) : The metal deposition by atomic layer deposition
 利用者名(日本語) : 郷富将¹⁾、後藤高寛²⁾、宮本恭幸²⁾
 Username (English) : T. Go¹⁾, T. Gotow²⁾, Y. Miyamoto²⁾
 所属名(日本語) : 1) 東京工業大学工学院電気電子系 2) 東京工業大学工学院
 Affiliation (English) : 1) Department of Electrical and Electronic Engineering, School of Engineering, Tokyo Institute of Technology. 2) School of Engineering, Tokyo Institute of Technology.
 キーワード/Keyword : 成膜・膜堆積、MOSFET、III-V族化合物半導体、マルチゲート構造、ナノシート

1. 概要(Summary)

再成長エピタキシャルソースドレインと高移動度 InGaAs チャンネルを有する MOSFET の研究を行ってきたことを踏まえ、ナノシート構造チャンネルを持つデバイスの研究を行っている。性能向上にはチャンネル部周囲をゲート金属によって覆うという GAA 方式を採用する必要がある。そのため立体構造への均一な成膜が可能な原子層堆積(ALD)法による TiN の成膜を国立研究開発法人産業技術総合研究所ナノプロセッシング施設(NPF)の支援より試みた。

2. 実験(Experimental)

【利用した主な装置】

原子層堆積装置[FlexAL]

【実験方法】

TiN の ALD 成膜は、基板温度を 350°C とし、Ti のプリカーサとして TDMAT を使用、窒素プラズマ処理は H₂/N₂=7/21 sccm、リアクタ内圧力 40 mTorr、RF 出力 200 W の条件下で行った。

3. 結果と考察(Results and Discussion)

Fig. 1(a)の基板構造で Fig. 2 の GAA 型トランジスタ構造の作製を行うと同時に、split-CV 法による移動度の解析のための Planer InGaAs MOSFET(Fig. 1(b))の作製を行っている。

TiN の厚さを確認するために、Si 上に絶縁膜として Al₂O₃/HfO₂ を成膜した後、TiN の ALD 成膜後の様子を断面 SEM にて確認した(Fig. 3)。SEM 像から絶縁膜の膜厚が 10.9 nm であり、TiN の膜厚が 22.1 nm を確認し、想定していた厚さを形成できたことがわかった。

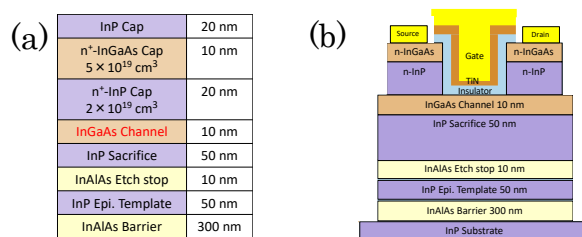


Fig. 1 Planer InGaAs MOSFET. (a) Epitaxial structure. (b) schematic image of MOSFET.

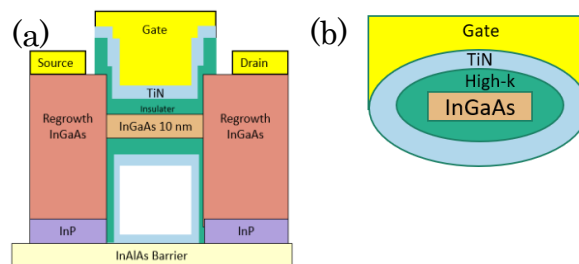


Fig.2 Fabrication of GAA structure by ALD method. (a) Schematic image. (b) Channel cross section.

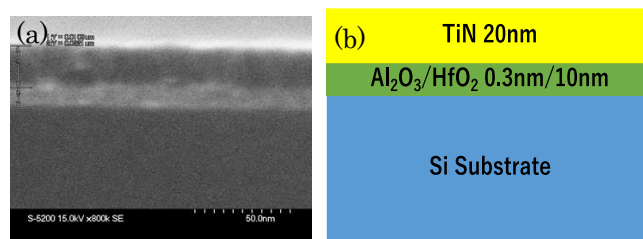


Fig. 3 Thickness of TiN on Si substrate. (a) SEM image of cross section. (b) Schematic image.

4. その他・特記事項(Others)

・謝辞

国立研究開発法人産業技術総合研究所の有本宏様、山崎将嗣様に感謝いたします。

5. 論文・学会発表(Publication/Presentation)

1) T. Go et al., MNC 2021, 28B-5-3, Oct. 28 (2021)

6. 関連特許(Patent)

なし。