

課題番号 : F-21-AT-0086
利用形態 : 機器利用
利用課題名(日本語) : FinSET 素子の作製
Program Title (English) : Fabrication of FinSET devices
利用者名(日本語) : 泊開人
Username (English) : K. Tomari
所属名(日本語) : 東京工業大学 工学院 電気電子系
Affiliation (English) : Department of Electrical and Electronic Engineering, Tokyo Institute of Technology
キーワード/Keyword : リソグラフィ・露光・描画装置、シリコン、量子情報デバイス、スピン量子ビット

1. 概要(Summary)

スピン量子ビットの集積化に向けて、フィン型のシリコン製チャンネルを有する単電子トランジスタ(FinSET)の作製に取り組んだ。FinSET のチャンネル部分やゲート電極部分の作製は、ナノプロセッシング施設の装置を用いた電子線描画により実行した。

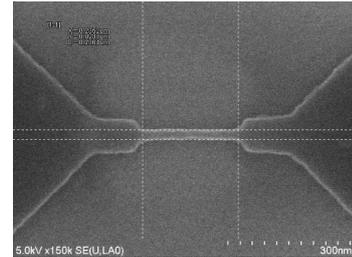


Fig. 1 SEM image of resist pattern of channel.

2. 実験(Experimental)

【利用した主な装置】

高速電子ビーム描画装置(エリオニクス)
解析用 PC(CAD 及び近接効果補正用)

【実験方法】

P 型かつ面方位(100)の SOI ウエハ上に、希釈した電子線ネガレジスト ma-N2401 を膜厚約 60 nm で塗布し、電子線描画により SOI におけるチャンネル部分を作製した。その後、全面にポリシリコンおよび SiO₂ を堆積し、原液の ma-N2401 を膜厚約 100 nm で塗布し、電子線描画によりゲート電極部分を作製した。なお、電子線描画の際に、加速電圧は 130 kV、ビーム電流は 2 nA であった。

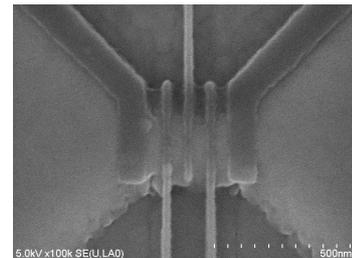


Fig. 2 SEM image of resist pattern of gate electrodes.

3. 結果と考察(Results and Discussion)

チャンネル部分およびゲート電極部分のレジストパターンの SEM 像を Fig. 1, Fig. 2 にそれぞれ示す。Fig. 1 からは、チャンネル部分は適切に作製できていることが分かる。Fig. 2 からは、一部のゲート電極間にレジストが溜まり適切に分離できていないことが分かるが、これは今後の課題である。

4. その他・特記事項(Others)

- ・JST CREST (JPMJCR1675)
- ・MEXT Q-LEAP (JPMXS0118069228)
- ・KAKENHI (18K18996, 20H00237)
- ・柳永勲様、森貴洋様 (産業技術総合研究所デバイス技術研究部門新原理デバイス研究グループ) の指導の基で行いました。

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。