

課題番号 : F-20-UT-0160
 利用形態 : 機器利用
 利用課題名(日本語) : スピンデバイスの作製と評価
 Program Title (English) : Fabrication and evaluation of spin device
 利用者名(日本語) : 但野由梨子、田中雅明
 Username (English) : Yuriko Tadano, Masaaki Tanaka
 所属名(日本語) : 東京大学 大学院工学研究科電気系工学専攻 田中・大矢研究室
 Affiliation (English) : Tanaka-Ohya laboratory, Department of Electric Engineering & Information Systems Graduate School of Engineering, The University of Tokyo
 キーワード/Keyword : spintronics, spin device, spin-MOSFET, electron beam lithography, リソグラフィ・露光・描画装置、成膜・膜堆積

1. 概要(Summary)

従来のエレクトロニクスにおいて電子は電荷を運ぶキャリア(電流)としてデバイスの制御を支えてきた。それに対してメモリなどの不揮発性磁気デバイスでは磁場を用いて磁性を制御している。スピントロニクスではスピンをこれらの制御体系に加えることにより電子デバイスと磁気デバイスを融合し、高集積化や低消費電力化を目指している。

本報告書においては、スピン MOSFET^[1-2]の作製に係る装置利用を報告する。スピン MOSFET とは MOSFET のような素子構造においてソースとドレインに用いた 2 か所の強磁性体の磁化の平行・反平行によりソース・ドレイン間の抵抗を変調させる(トンネル磁気抵抗効果、またその評価として MR 比を用いる)ことで既存の MOSFET にもう一つの ON/OFF 状態を付加したデバイスを指す。スピン MOSFET に関する研究は多々なされているが^[3-5]、ゲート変調と MR 比による ON/OFF の双方が十分大きいデバイスは実現しておらず、工業化には至っていない。我々は、ヘテロエピタキシャルな構造とチャネル長の微細化によりソースからドレインまで電子がトンネルする状況を作ることで横型スピン MOSFET の MR 比を増大しスピン MOSFET 素子特性の飛躍的な改善が実現できると考えている。

2. 実験(Experimental)

【利用した主な装置】

- ・超高速大面積電子線描画装置
- ・8 インチ汎用スパッタ装置

【実験方法】

電子線リソグラフィ(超高速大面積電子線描画装置)、ドライエッチング、蒸着及びスパッタ(8 インチ汎用スパッタ装置)を用いたデバイス作製を目指しており、各段階の条件

出しを行っている。デバイスの構造図を Fig. 1 に示す。

3. 結果と考察(Results and Discussion)

EB リソグラフィにおけるレジスト塗布後のベーキング温度、ドーズ量、現像時間、溝部分を作製するためのドライエッチング(Ar milling)の条件、レジストをはがす際の条件などに

より細線型の溝の形状がどのように変化するかを観察し、条件を絞っていった。実際に、レジスト塗布後のベーキング温度により溝の幅の安定性と線幅が異なることや、リソグラフィにおけるドーズ量に対する線幅を調べることができた。

4. その他・特記事項(Others)

[1] S. Sugahara and M. Tanaka, Appl. Phys. Lett. 84, 2307 (2004).[2] M. Tanaka and S. Sugahara, IEEE Trans. Electron Devices, 54, 961 (2007).[3] T. Sasaki et al., Phys. Rev. Appl. 2, 034005 (2014).[4] D. D. Hiep et al., Appl. Phys. Lett. 112, 223904 (2017).[5] T. Kanaki et al., Appl. Phys. Lett. 107, 242401 (2015).

5. 論文・学会発表(Publication/Presentation)

(1) Y. Tadano, R. Suzuki, M. Tanaka, and S. Ohya, “Magnetoresistance in Fe/ MgO/ a-Ge/ MgO/ Fe vertical spin valve devices,” 第 68 回応用物理学会春季学術講演会, オンライン開催, 2021 年 3 月 16-19 日

6. 関連特許(Patent) なし

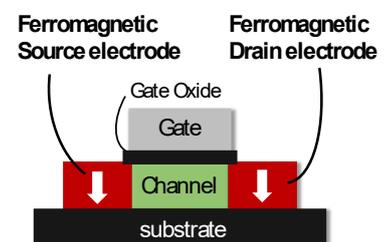


Fig. 1 Schematic image of a spin MOSFET