

課題番号 : F-20-UT-0049
利用形態 : 技術補助
利用課題名(日本語) : NMOS または PMOS のみのリングオシレータを搭載した集積回路の配線修正
Program Title (English) : Wire Fabrication of a Semiconductor Chip Embedding Ring Oscillator Composed by Only NMOS or PMOS
利用者名(日本語) : 岸田亮¹⁾, 松本泰輔¹⁾, 南出大輔¹⁾, 小林和淑²⁾
Username (English) : R. Kishida¹⁾, T. Matsumoto¹⁾, D. Minamide¹⁾, K. Kobayashi²⁾
所属名(日本語) : 1) 東京理科大学理工学部, 2) 京都工芸繊維大学電子システム工学専攻
Affiliation (English) : 1) Faculty of Science and Technology, Tokyo University of Science 2) Master's Program of Electronics, Kyoto Institute of Technology
キーワード/Keyword : リングオシレータ, 集積回路, 金属配線, 切削, 研磨, 接合

1. 概要(Summary)

通常の集積回路設計では NMOS と PMOS を相補的に用いるが, 片方のみの影響を評価するために, NMOS または PMOS のみで構成したリングオシレータを試作した. 試作した回路において, 発振周波数を実測評価するために集積回路の配線を修正する. FIB により, 金属配線を接合する.

2. 実験(Experimental)

【利用した主な装置】

- ・集積回路パターン微細加工(FIB)装置 V400ACE

【実験方法】

つながっていない金属配線を FIB により接続する. 修正した試作回路が正常動作することを FPGA により動作確認し, 試作回路を用いてリングオシレータの周波数を実測する. 65 nm プロセスの試作回路であり, 8 層目の金属配線(M8)を接続する.

3. 結果と考察(Results and Discussion)

修正する前は正常動作しなかったが, FIB を用いた修正により, 試作回路に搭載したシフトレジスタの値が期待値通りに出力されることを確認した. これにより, FIB による金属配線接続が正しく行われたことを確認した. Fig. 1 と Fig. 2 に FIB 加工後の SIM (Scanning Ion Microscope) 像を示す. チップの左側と右側の 2 か所で接続を行った. 上下の金属配線 M8 が接続されていることが確認できる.

回路に搭載したリングオシレータの発振周波数を測定することで, NMOS と PMOS の影響それぞれのみを評価可能となった.

4. その他・特記事項(Others)

謝辞:FIB の技術補助をくださったネクスティエレクトロニクスの木下純様ならびに東大微細加工拠点の学術支援専門職員太田悦子氏に深く感謝いたします.

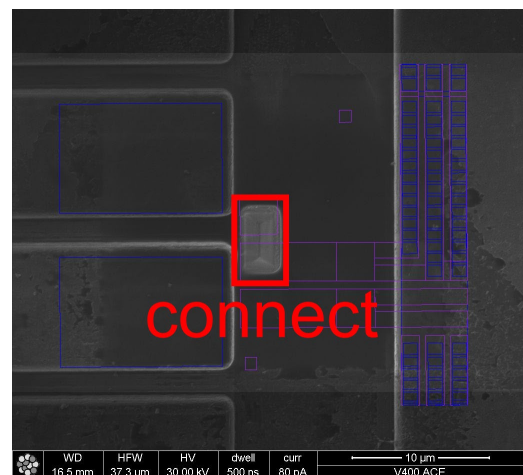


Fig. 1 : SIM image of the left part of FIB fabricated chip. Metal wires have been bonded.

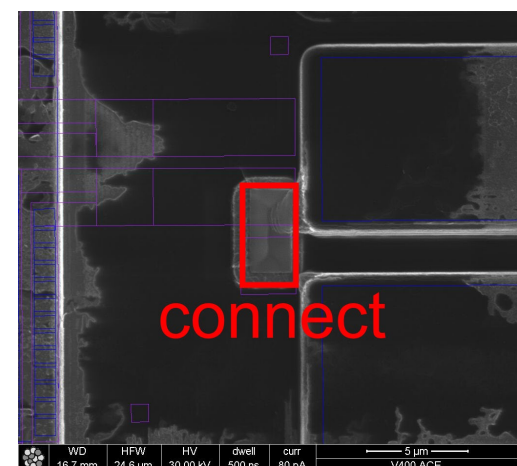


Fig. 2 : SIM image of the right part of FIB fabricated chip. Metal wires have been bonded like Fig.1

5. 論文・学会発表(Publication/Presentation) なし.

6. 関連特許(Patent) なし.