

課題番号 : F-20-UT-0021
 利用形態 : 機器利用
 利用課題名(日本語) : シリコンプラットフォームを用いた光集積回路
 Program Title (English) : Photonic integrated circuits based on Si platform
 利用者名(日本語) : 竹中充, 大野修平
 Username (English) : M. Takenaka, Shuhei Ohno
 所属名(日本語) : 東京大学大学院 工学系研究科(電気系工学専攻)
 Affiliation (English) : School of Engineering, The University of Tokyo
 キーワード/Keyword : リソグラフィ・露光・描画装置、シリコンフォトニクス、異種材料集積、化合物半導体

1. 概要(Summary)

データセンター内で用いられる光インターコネクション用途に向けた光集積回路が活発に研究されている。我々は、シリコンプラットフォームを活用した新しい光集積回路について研究を進めている。特に化合物半導体をシリコン導波路上に貼り合わせたハイブリッド光素子について研究を進めている。今回、化合物半導体を薄膜化することで、ハイブリッド部の入出力端での光反射を抑制する研究を進めた。

2. 実験(Experimental)

【利用した主な装置】

高速大面積電子線描画装置(F5112)
 超高速大面積電子線描画装置(F7000S)
 ステルスダイサー
 高精細電子顕微鏡(Regulus 8230)

【実験方法】

ウェハボンディングを用いて、InP 薄膜を Si-on-insulator (SOI)基板上に貼り合わせた。貼り合わせ界面には Al₂O₃を用いた。次に、高速大面積電子線描画装置を使い、導波路パターンを形成し、ドライエッチングにより、InP 薄膜とシリコン膜をエッチングし、導波路を形成した。同様にリソグラフィにより、InP 薄膜をセグメントに分割した。分割数を変えることで、ハイブリッド導波路部の挿入損失の評価を行った。Fig. 1 に作製した素子の構造を示す。

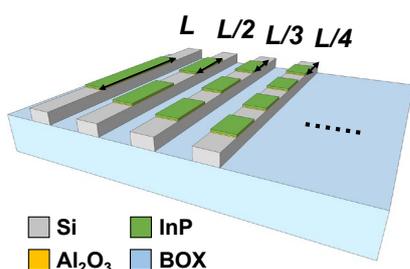


Fig. 1 Plan-view of fabricated device.

3. 結果と考察(Results and Discussion)

Fig. 2 に挿入損失を評価した結果を示す。InP の分割数が増えるに従って、光損失が増加している。この結果から、ハイブリッド導波路 1 個当たりの挿入損失は 0.055 dB と極めて小さいことが明らかになった。

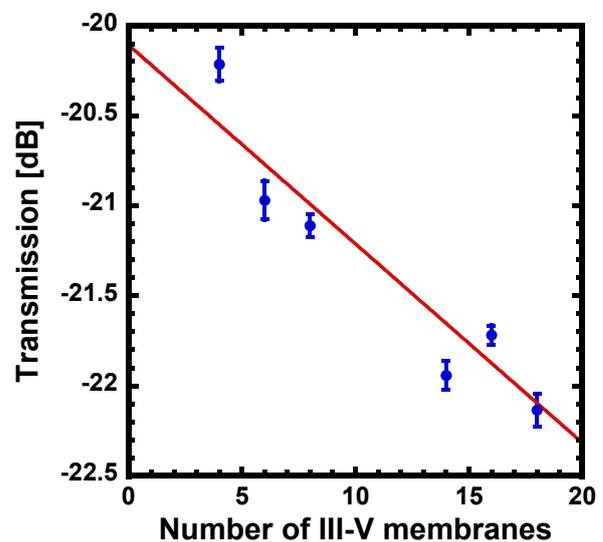


Fig. 2 Measurement results.

4. その他・特記事項(Others)

本研究の一部は、国立研究開発法人新エネルギー・産業技術総合開発機構 (NEDO) からの委託により実施した。

5. 論文・学会発表(Publication/Presentation)

S. Ohno, Q. Li, N. Sekine, J. Fujikata, M. Noguchi, S. Takahashi, K. Toprasertpong, S. Takagi, and M. Takenaka, “Taperless Si hybrid optical phase shifter based on a metal-oxide-semiconductor capacitor using an ultrathin InP membrane”, Optics Express, vol. 28, no. 24, pp. 35663–35673, Nov. 2020. DOI: 10.1364/OE.405038

6. 関連特許(Patent)

なし。