

課題番号 : F-20-TU-0093
利用形態 : 機器利用
利用課題名(日本語) : 高信頼性 MTJ デバイスの開発
Program Title (English) : Study on High Reliability MTJ device
利用者名(日本語) : 諏訪智之
Username (English) : T. Suwa
所属名(日本語) : 東北大学未来科学技術共同研究センター
Affiliation (English) : New Industry Creation Hatchery Center, Tohoku University
キーワード/Keyword : 成膜・膜堆積, MTJ, MIM device, W 電極

1. 概要(Summary)

本研究は、高信頼性 MTJ デバイスを開発することを目的としており、MTJ 構造を有するデバイスを試作・測定し、電気的な信頼性について評価する。MTJ デバイスは、CoFeB/MgO/CoFeB の MTJ 構造を下部 W 電極と、上部 W 電極とでサンドイッチした MIM 構造で形成される。ここで、上部 W 電極は、コンタクトホールを介して CoFeB 層と接続されるが、コンタクトホール径が小さいため、CVD による W 薄膜の成膜が必須となる。この W-CVD プロセスに関して、CITS の装置を利用し、デバイス試作を実施した。

2. 実験(Experimental)

【利用した主な装置】

W-CVD 装置 (Applied Materials P-5000)

【実験方法】

Si 基板上に、SiN/CoFeB/MgO/CoFeB/W/SiO₂/Si-sub の構造を形成し、上部 SiN には 0.1~0.3 μ m²のコンタクトホールを開口したデバイスを準備し、スパッタ成膜により W 薄膜を 15 nm 程度成膜した後、本課題における W-CVD 成膜を実施した。また、W-CVD 成膜を実施するにあたり、標準レシピでは SiH₄ を先行して流す(Si デポ)の工程があるが、本実験ではスパッタ W 膜に直接 CVD-W 膜を成膜したいため、SiH₄ を流さないレシピを作成するとともに、成膜時のサセプタ温度も 400 °C に変更した。

3. 結果と考察(Results and Discussion)

最初に成膜レートを確認するため、本課題用に新規に作製した W-CVD の成膜レシピ(サセプタ温度 400 °C、SiH₄ 無し)にて、15、25、35、45、60 sec と変えて成膜を実施した。その結果、およそ 15 sec ほどのインキュベーション

タイムの後、およそ 1 nm/sec の成膜レートを示した。また、密着性も問題ないことを確認した。

次に MIM デバイスへの成膜を試みた。上部 SiN 膜の厚さは 50 nm としているため、本 W-CVD で成膜する W の膜厚も 50 nm ねらいとし、前述の成膜レートの結果から、成膜時間を 65 sec とした。

上部 W 電極をスパッタ成膜のみで成膜してデバイスでは、コンタクトホールの W 埋め込み特性が悪いため、CoFeB 電極とのコンタクト不良が発生し、デバイスの電気的評価の信頼性が著しく悪化していたのに対し、W-CVD を用いた上部 W 電極形成では、コンタクトホールの埋め込み特性が改善され、コンタクト不良がほとんど発生しなくなった。

また、本デバイスでは、MgO 膜の抵抗を測定するにあたり、MgO 膜自体の抵抗が小さいため、直列に付加されるコンタクト抵抗をできるだけ低減することが重要である。本デバイスでは、CVD-W/スパッタ W/CoFeB のコンタクト抵抗も十分に小さく抑えられたことにより、電気的測定の精度および信頼性が向上した。

これらの結果から、電気的な信頼性評価を実施するにあたり、電極が正確にコンタクトできていることは極めて重要であり、本 W-CVD を用いることは、デバイスの信頼性評価を行う上で極めて有用であることが実証された。

4. その他・特記事項(Others)

なし。

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。