

課題番号 : F-20-TU-0064
 利用形態 : 機器利用
 利用課題名(日本語) : Si 基板上 GaN 系デバイスのプロセス開発
 Program Title (English) : Process development of GaN-based device on Si substrate
 利用者名(日本語) : 松永邦雄、出口忠義、
 Username (English) : K. Matsunaga, T. Deguchi
 所属名(日本語) : 新日本無線株式会社
 Affiliation (English) : New Japan Radio Co., Ltd.
 キーワード/Keyword : 成膜・膜堆積、パワーエレクトロニクス、AlGaIn/GaN HEMT、p-GaN ゲート

1. 概要(Summary)

次世代パワーデバイスとして有望な GaN HEMT の課題の一つにノーマリオフ動作がある。p-GaN ゲート構造の HEMT は、プロセス工程でプラズマ CVD-SiN 膜を用いると、p-GaN 層中に水素が拡散して不活性し、ノーマリオフ動作しないことが懸念される[1]。そこで、東北大学マイクロシステム融合研究センターの施設を利用して LPCVD-SiN 膜を堆積し、p-GaN ゲート構造の HEMT を試作して I_D - V_{GS} 特性を評価した。

2. 実験(Experimental)

【利用した主な装置】

LPCVD (SiN)

【実験方法】

p 型 Si 基板上に、バッファ層、GaN 層、AlGaIn 層(15nm)、p-GaN 層(50nm)を順次堆積したエピウエハを用いて、p-GaN 選択エッチング、B⁺イオン注入による素子分離、LPCVD-SiN 膜堆積(750°C、50nm)、ソース・ドレイン電極形成、ゲート電極形成の順でプロセス流動し、p-GaN ゲート AlGaIn/GaN HEMT を作製して DC 特性を評価した。LPCVD-SiN 膜堆積以外の工程は社内で行った。

3. 結果と考察(Results and Discussion)

作製した HEMT の TEG ($L_g = 2 \mu\text{m}$, $L_{gd}=15 \mu\text{m}$, $W_g = 100 \mu\text{m}$)の概略図を Fig. 1 に示す。この HEMT の I_D - V_{GS} 特性を評価したところ、所望のノーマリオフ動作が得られた(Fig.2)。また、 I_D のオン/オフ比は 10^8 以上と良好であったため、実際に大電流動作 HEMT 作製に向けた適用が期待できる。

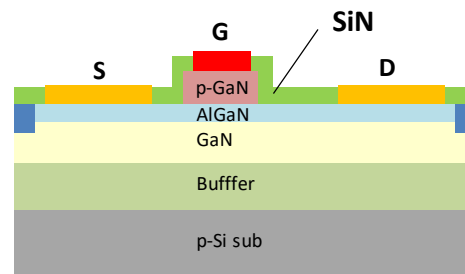


Fig. 1 Schematics of fabricated p-GaN gate HEMT.

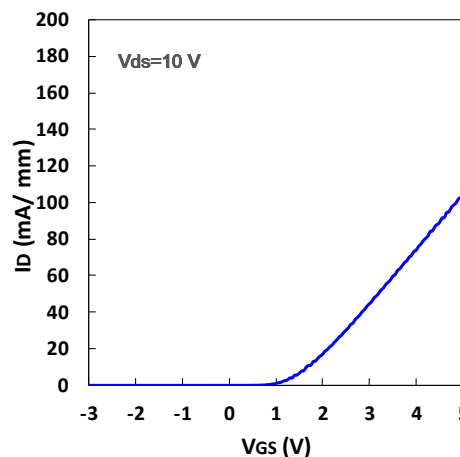


Fig. 2 I_D - V_{GS} Characteristics of p-GaN gate HEMT with LPCVD-SiN passivation.

4. その他・特記事項(Others)

参考文献

[1] Y. C. Chen *et al.*, 2020 IEEE International Symposium on the Physical and Failure Analysis of Integrated Circuits (IPFA), 20-23 July 2020.

5. 論文・学会発表(Publication/Presentation)

なし

6. 関連特許(Patent)

なし