

課題番号 : F-20-RO-0044
 利用形態 : 技術代行
 利用課題名(日本語) : High-kの導入により高性能化した4端子 CLC poly-Si TFTのEE、EDインバータ応用
 Program Title(English) : Evaluation of E/E and E/D inverters fabricated by 4T poly-Si TFTs using high-k gate dielectric
 利用者名(日本語) : 工藤健太, 原明人
 Username(English) : Kenta Kudo, Akito Hara
 所属名(日本語) : 東北学院大学 工学部
 Affiliation(English) : Dep. of Engineering, Tohoku Gakuin Univ.
 キーワード/Keyword : イオン注入, high-k, poly-Si, TFT, four-terminal

1. 概要(Summary)

HfO₂をゲート絶縁膜に用いた4端子(4T)poly-Si TFTの研究を進めている。一方のゲートで行うスイッチング動作に加え、他方のゲートで閾値電圧を制御できることが大きな利点となる。4T動作による閾値電圧制御は高速化と低消費電力化を可能にする。従来の4T poly-Si TFTよりもゲート長の縮小による高性能化およびE/Dインバータへの応用を目的とする。

2. 実験(Experimental)

【利用した主な装置】

イオン注入

【実験方法】

RIEにより石英基板上にBGトレンチを形成し、タンゲステン(W)のスパッタリング、CMPによる研磨を行い、ボトムゲート(BG)を形成する。次にPECVDを用いてBG酸化膜を150 nm成膜、PECVDを用いてa-Siを75 nm成膜する。CLC法によるレーザ結晶化を行い、ラテラル結晶化したpoly-Si薄膜を形成する。RIEによってトランジスタアイランドを形成後、PECVDでトップゲート(TG)酸化膜を10 nm成膜したのち、HfO₂のスパッタリングを行う。TGメタル(W)を成膜後、BGをマスクとして背面露光により、BGに対して自己整合的にTGを形成する。リン(P)のイオン注入、PECVDで層間絶縁膜を成膜後、550°C6hの活性化熱処理を行う。最後に水素化処理を行う。

3. 結果と考察(Results and Discussion)

図1は4T poly-Si TFTのトランスファ特性を示す。ダブルゲート(DG)動作と4T動作(L=3 μm)を示している。ゲート長が短くなるとともにオン電流が増加している。4T動作におけるV_{th}の制御性を確認したところ、γ値は理論値

とほぼ一致しており、この点からもTFTの正常動作を確認できた。L=5 μmを用いてE/Dインバータを作製した。(V_{CG-Dep.}, V_{CG-Enh.})=(1.0 V, -2.5 V)のコントロールゲート電圧の設定でV_{DD}=1.0 Vにおいて、0.5 Vに近い値で遷移するインバータ特性が確認された。

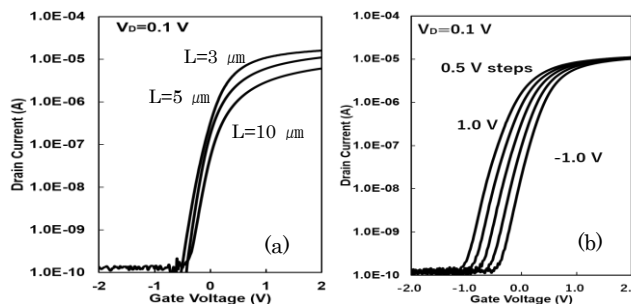


Figure 1. (a) DG performance (b) 4T performance of L=3 μm

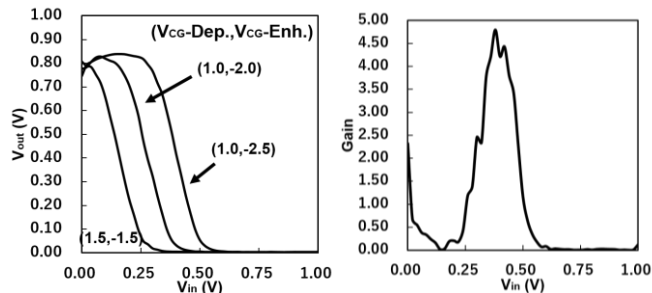


Figure 2. Inverter characteristic (left figure) and gain (right figure)

4. その他・特記事項(Others)

なし

5. 論文・学会発表(Publication/Presentation)

なし

6. 関連特許(Patent)

なし