

課題番号 : F-20-RO-0027  
 利用形態 : 技術代行  
 利用課題名(日本語) : N-ch ダブルゲート poly-Ge TFT の開発  
 Program Title (English) : N-ch double-gate poly-Ge thin-film transistors  
 利用者名(日本語) : 阿部佑亮、原明人  
 Username (English) : Yusuke Abe, Akito Hara  
 所属名(日本語) : 東北学院大学 工学部  
 Affiliation (English) : Dep. of Engineering., Tohoku Gakuin Univ.  
 キーワード/Keyword : イオン注入, TFT, poly-Ge, n-ch、ドーピング

### 1. 概要(Summary)

Ge は次世代の MOSFET やフレキシブルデバイスとして注目されている。非晶質基板上に Ge を形成し、熱処理をすると多結晶ゲルマニウム(poly-Ge)が形成されるが、強い p 型を示す。CMOS を構成するためには、n-ch の薄膜トランジスタ(TFT)と p-ch の TFT が必要である。本研究はダブルゲート n-ch poly-Ge TFT の作製条件の確立を目的としている。

### 2. 実験(Experimental)

#### 【利用した主な装置】

イオン注入装置

#### 【実験方法】

スパッタリングでガラス基板上に Mo を成膜し、ボトムゲートを作製、その上にボトムゲート SiO<sub>2</sub> (30 nm) を成膜する。次にスパッタリングで Ge を成膜する。引き続き、n 型にするためにイオン注入を行い、トップゲート絶縁膜 SiO<sub>2</sub> (30 nm) を成膜する。結晶化のため 500°C の熱処理を行い、上下のゲートを連結するため、RIE を用いてゲートコンタクトを作製する。次に、トップゲートの Mo を成膜し、背面露光によりトップゲートを形成する。層間絶縁膜 (SiO<sub>2</sub>) を PECVD で成膜し、コンタクトホールを形成する。電極を作製後、最後にファイナルアニールを行う。作製された TFT はジャンクションレスである。

### 3. 結果と考察(Results and Discussion)

ラマン散乱により結晶評価を行った結果、①注入条件 10 KeV, 1×10<sup>15</sup> cm<sup>-2</sup>、熱処理条件 500°C15h では多結晶化していることが確認された。一方、②注入条件 10 KeV, 3×10<sup>15</sup> cm<sup>-2</sup>、熱処理条件 500°C5h では非晶質であった。①の条件で動作した TFT の特性を図1に示すが p-ch であった。このことは、格子欠陥に起因して発生した大量のアクセプタをリンが補償できていないことを示している。一方、オフ電流が高い。TFT はダブルゲートで動作

しているものの、空乏層がチャネルを完全に閉ざしていないことを示しており、チャネルの薄膜化が必要である。

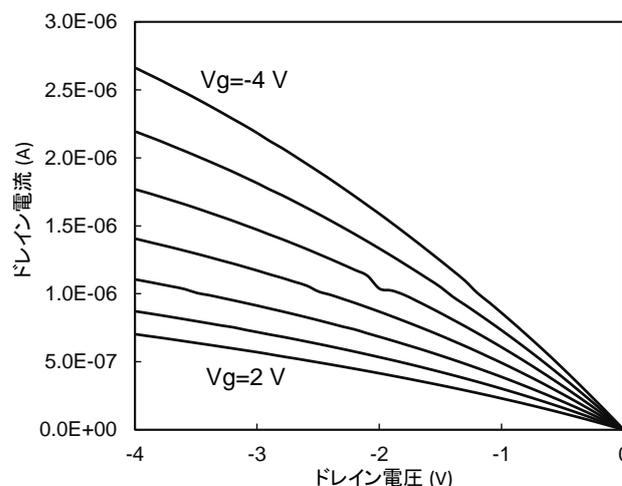


Figure 1. Output characteristic of poly-Ge TFT fabricated by ①

昨年度と本年度の一連の研究から以下の結果が得られた。昨年度報告した F-19-RO-0003 は n-ch TFT として動作しているが、この TFT はリンをイオン注入後に 500°C5h の結晶化熱処理を行っている。昨年度の TFT をラマン散乱で確認したところ非晶質 Ge であることが明らかになった。この結果は、非晶質 Ge は n-ch として動作することを示唆している。勿論、非晶質であるため移動度は非常に小さく、オン電流も非常に小さい。

### 4. その他・特記事項 (Others)

なし

### 5. 論文・学会発表 (Publication/Presentation)

なし

### 6. 関連特許 (Patent)

なし