

課題番号 : F-20-NM-0054
 利用形態 : 機器利用
 利用課題名(日本語) : ナノワイヤ型シリコン熱電発電素子の開発に関する研究
 Program Title(English) : Development of the silicon nanowire micro thermoelectric generator
 利用者名(日本語) : 平尾修平
 Username(English) : S. Hirao
 所属名(日本語) : 早稲田大学大学院基幹理工学研究科
 Affiliation(English) : Waseda Univ. Fundamental Science and Engineering
 キーワード/Keyword : N&MEMS、リソグラフィ・露光・描画装置、スパッタ、熱電発電

1. 概要(Summary)

当研究室では、基板に垂直な熱流から基板水平方向に流れ出る熱流を利用したキャビティを用いないプレーナ型の微小熱電発電デバイスの開発を進めており、Si ナノワイヤ (Si-NW) を短くし電気抵抗を抑えることで熱電発電性能が向上することから、発電密度の高い構造であることを示した^[1]。そこで、集積化に向けた 2 層配線構造を作製するためのプロセス開発を行った。

2. 実験(Experimental)

【利用した主な装置】高速マスクレス露光装置、多元スパッタ装置(i-miller)、全自動スパッタ装置(j-sputter)

【実験方法】

作製した試作用基板のプロセスの概略図を Fig. 1 に示す。今回のプロセス開発では、第 1 配線層となる (Al/TiN/Ti) と第 2 配線層となる (TiN/Al/TiN) の間に絶縁膜として SiO₂ を挟むことによって熱のみを伝えることができる構造と SiO₂ を除去しコンタクトをとるための構造の作り分けが目標となる。しかし、i-miller にて 1 μm の Al 膜を成膜した場合、絶縁膜を挟んだ構造においても導通してしまった。これは、表面のヒロックが原因でエッチングされにくい酸化膜が生じ表面にメタルの残渣が生じているためだと考えた。そこで、Si 基板上に i-miller と j-sputter の 2 種類のスパッタ装置にて、TiN/Al/TiN の成膜を行い、SEM により断面を観察した。また、j-sputter を用いて試作用の 2 層配線構造を作製した。

3. 結果と考察(Results and Discussion)

Fig. 2 に Si 基板上に i-miller と j-sputter の 2 種類のスパッタ装置にて TiN/Al/TiN を成膜した SEM 像を示す。J-sputter のほうが表面にヒロックの少ない膜が成膜されていることが分かる。Fig. 3 に j-sputter を用いた試作用 2 層配線構造を示す。導通確認を行ったところ、J-sputter により作製した 2 層配

線構造では導通と絶縁の作り分けることができ、2 層配線構造の作製に成功した。

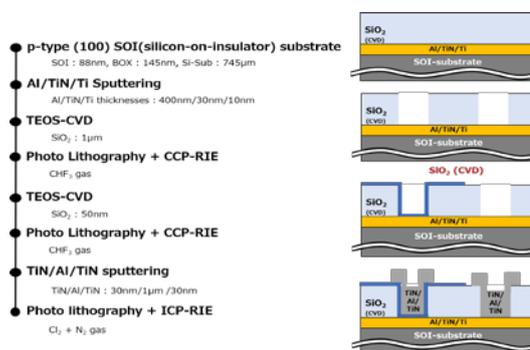


Fig. 1 Fabrication procedure

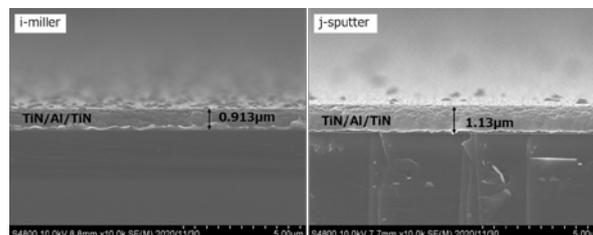


Fig. 2 SEM images of TiN/Al/TiN film of i-miller and j-sputter

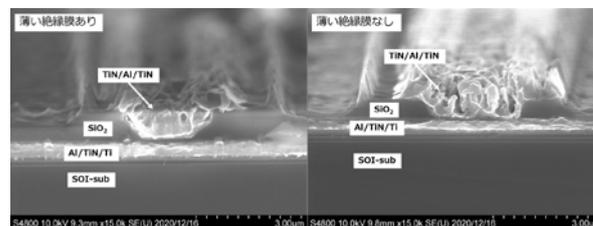


Fig. 3 SEM image of 2-layer wiring structure(j-sputter)

4. その他・特記事項(Others)

参考文献:[1]M. Tomita et al., IEEE TED 65,5180 (2018).

競争的資金 : JST-CREST(JPMJCR15Q7, JPMJCR19Q5)

5. 論文・学会発表(Publication/Presentation) : なし。

6. 関連特許(Patent) : なし。