

課題番号 : F-20-NM-0048
 利用形態 : 技術代行
 利用課題名(日本語) : 3次元パワーSoC実現に向けてのプロセス技術の開発
 Program Title (English) : Development of the process technology for 3D power supply on chip
 利用者名(日本語) : 松本聡
 Username (English) : Satoshi Matsumoto
 所属名(日本語) : 九州工業大学大学院工学研究科
 Affiliation (English) : Graduate School of Engineering, Kyushu Institute of Technology
 キーワード/Keyword : ナノエレクトロニクス、成膜・膜堆積、異種デバイス集積化、
 power supply on chip, heterogeneous integration

1. 概要(Summary)

GaN パワーデバイスと Si デバイスの集積化に向けて、プロセス検討及び、集積化プロセスの GaN パワーデバイスに与える影響を調べるための試料の作製を進めている。

2. 実験(Experimental)

【利用した主な装置】

NIMS: プラズマ CVD 装置、原子層堆積装置
 北九州産業学術推進機構 共同研究開発センター: スパッタ装置、プラズマ CVD 装置、マスクアライナー
 九州工業大学マイクロ化総合技術センター(CMS): GaN/Si(111)基板への電極の堆積(スパッタ)と加工(RIE)、GaN/Si(111)基板のコンタクトホール形成(RIE)

【実験方法】

GaN パワーデバイスと Si デバイスの集積化に向け、プロセス検討と集積化プロセスの GaN パワーデバイスに与える影響を調べるために Fig. 1 に示すプロセスにより試料の作製を進めている。

GaN/Si(111)基板に ALD- Al_2O_3 とプラズマ CVD SiO_2 (p-CVD SiO_2)を NIMS で堆積し、その後、CMS でコンタクトホールの窓開後オーミック電極を堆積、加工し熱処理を行う。次にコンタクトホールの窓開とショットキー電極を形成し、熱処理を行う。その後、厚いプラズマ CVD 酸化膜を堆積し、CMP により平坦化する(Fig. 1(a))。Si(100)基板は CMOS を作製することを模擬し、北九州産業学術推進機構共同研究開発センターで p-CVD SiO_2 を堆積した後、Al を堆積し、Al をパタンニングする。その後、p-CVD SiO_2 を堆積して CMP (Chemical Mechanical Polishing)により、Si(100)側のウエハーを完全に平坦化する(Fig. 1(b))。p-CVD SiO_2 /Si(100)基

板と p-CVD SiO_2 /GaN/Si(111)基板を p-CVD SiO_2 を接着面として表面活性化接合により接着した後、Si(111)を除去する[1]。その後、電極部分の GaN を除去する。全てのリソグラフィは北九州産業学術推進機構共同研究開発センターで行う。

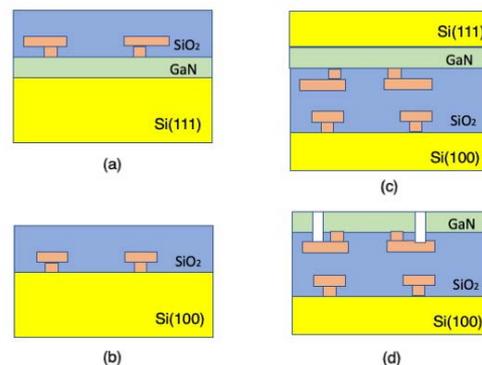


Fig. 1 Device process flow

3. 結果と考察(Results and Discussion)

現在、試料を作製中であり、GaN/Si(111)基板上的のオーミック電極を加工した段階にある。また、Si(100)基板は、p-CVD SiO_2 を堆積し、CMP による表面の平坦化を終え、表面活性化接合に必要なサブ nm の平坦度を得た。

4. その他・特記事項(Others)

参考文献[1] R. Ishito, K. Ono, and S. Matsumoto, IEEE CPMT Symposium Japan 2019(ICSJ2019) ECR Session12, 2019.

他の機関利用: 北九州産業学術推進機構

外部資金: 科研費 18H01430

5. 論文・学会発表(Publication/Presentation)

なし

6. 関連特許(Patent)

なし