

課題番号 : F-20-KT-0130  
利用形態 : 機器利用  
利用課題名(日本語) : チップ TSV(3)  
Program Title (English) : TSV for Chip Level Application (3)  
利用者名(日本語) : 山本隆一郎  
Username (English) : R. Yamamoto  
所属名(日本語) : 日本 MEMS 株式会社  
Affiliation (English) : Japan MEMS Co. Limited  
キーワード/Keyword : リソグラフィ・露光・描画装置、膜加工・エッチング、形状・形態観察

### 1. 概要(Summary)

厚膜レジストによるウェハ上へのチップの位置出しでは位置精度が不十分であり、今回はチップ搭載用のトレンチパターンを DRIE(オーバーホール中であつたので別施設にて実施) によりウェハに形成、そのパターンを位置出し用のガイダンスとして LSI チップを搭載、トレンチ底部に通常レジストを 1 滴たらして接着剤としてチップ固定を行った。チップ裏面からの TSV(Through Silicon Via)で表面の電極との接続を図る為、チップの位置出し精度が歩留まりを決める要因の一つとなり、固定マスクでの TSV 用ヴィアパターンの露光結果としては、まだ改善を図る必要がある結果となった。

### 2. 実験(Experimental)

#### **【利用した主な装置】**

両面マスクアライナー

#### **【実験方法】**

ウェハ上に、DRIE でチップサイズとチップ厚みの深さでトレンチ凹部を形成、ワーク対象のチップをその凹部に象嵌して、チップの位置出しを行った。各凹部の座標は、ヴィアパターンのあるフォトマスク上の座標と対応している。チップをトレンチに搭載する際は、トレンチ右上部に押し当てて出来得る限りの位置ズレの低減を試みた。かなりの精度でチップとヴィアパターンの目合わせが実現出来ている場合もあり、また不十分の場合も確認された。

### 3. 結果と考察(Results and Discussion)

今回採用した方式では最終的には歩留りの議論とならざるを得ず、高歩留りは期待できない。今後はフォトマスクでの一括露光では限界があり、位置出し

用ウェハに搭載されたチップひとつひとつに目合わせを行う、マスクレス露光の適用が効果のあるものと思われる。

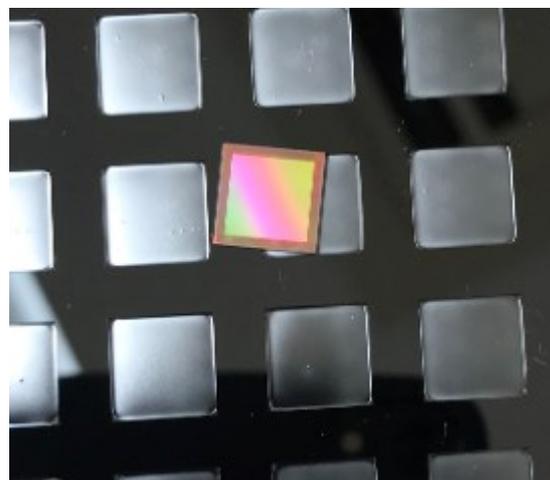


Fig. 1 Photo image for chip-size fabricated trench via, and aligning chips before photo-resist coating.

### 4. その他・特記事項(Others)

なし。

### 5. 論文・学会発表(Publication/Presentation)

なし

### 6. 関連特許(Patent)

なし