

課題番号 : F-20-KT-0127
利用形態 : 技術代行、機器利用
利用課題名(日本語) : チップ TSV(2)
Program Title (English) : Endeavor to Deep RIE for Individual LSI Chip(2)
利用者名(日本語) : 山本隆一郎
Username (English) : R. Yamamoto
所属名(日本語) : 日本 MEMS 株式会社
Affiliation (English) : Japan MEMS Company Ltd.
キーワード/Keyword : 膜加工・エッチング、N&MEMS、Si 貫通電極 (TSV)

1. 概要(Summary)

ウェハ上に厚膜レジストによるパターンニングと通常レジストを接着剤として、チップの位置出しと固定を行った。

チップ裏面からの TSV(Through Silicon Via)には SF6 ガスによる RIE を使用、チップ厚 40 μ m のビア開口の先にある SiO₂/SiN 膜の加工に磁気中性線放電ドライエッチング装置装置を使用、ビア開口部への Cu スパッタ膜の成膜後にチップ表面/裏面 GND 面の導通が確認できた。

2. 実験(Experimental)

【利用した主な装置】

磁気中性線放電ドライエッチング装置、深掘りドライエッチング装置 1

【実験方法】

チップをアップサイドダウンの状態、ウェハ上に位置出し/固定したものにレジストを塗布。チップ厚による凹凸で、チップ裏面上のレジスト厚の均一性は難航。オーバー露光によるパターン広がり OK とし、露光目合わせは現物目合わせにておこなった。得られたパターンをマスクに、SF6 ガスによるドライエッチング装置で裏面からの Si 基板のビア開口を行った。

ここまでは別施設にて流動し、表面電極下に存在する SiO₂/SiN 膜のエッチングに、垂直 RIE 加工を目的として、ドライエッチング装置を利用した。

前工程の Si の DRIE での残存 PR マスクとの選択比も十分あり、表面電極の露出に成功した。

3. 結果と考察(Results and Discussion)

別施設にて導通のための Cu 配線メタルをスパッタにより、チップ裏面全域及び TSV 側壁に成膜、チップ表面電極と裏面 GND 面の導通が確認出来た (Fig. 1)。

今後はアップサイドダウンのチップマウント状態での、チップ表面の目合わせマークとどの様に目合わせを効率的に行っていく事が課題となる。

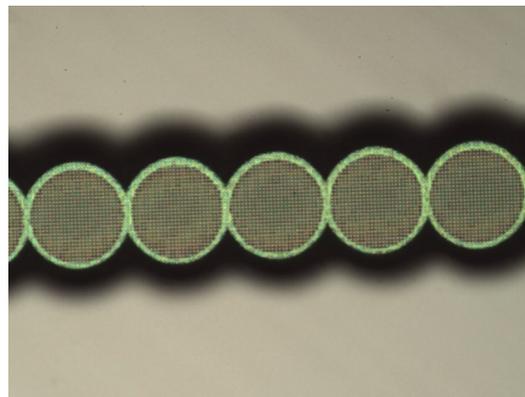


Fig. 1 Photo of pillar-meshed Cu electrode seen from the back side of the LSI chip.

4. その他・特記事項(Others)

なし。

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。