

課題番号 : F-20-AT-0085
利用形態 : 機器利用
利用課題名(日本語) : 積層 DRAM 向け TSV の不良解析
Program Title (English) : Failure analysis of TSV for four stacked DRAM
利用者名(日本語) : 本間一郎
Username (English) : I. Homma
所属名(日本語) : ウルトラメモリ株式会社
Affiliation (English) : Ultra Memory Inc.
キーワード/Keyword : Stacked DRAM、TSV、形状・形態観察

1. 概要(Summary)

所外にて試作した積層メモリ向け TSV の導通および不良解析を実施した。その結果、問題のあるプロセスが明らかとなった。

2. 実験(Experimental)

【利用した主な装置】

ダイシングソー、クロスセクションポリッシャ(ALD 付帯)、デバイスパラメータ評価装置、電界放出形走査電子顕微鏡 [S4500_FE-SEM]

【実験方法】

所外にて試作した積層メモリの TSV 抵抗をデバイスパラメータ評価装置を用いて測定し、電氣的にオープンとなった TSV の断面をダイシングソーやクロスセクションポリッシャを用い加工し、SEM にて観察を行った。

3. 結果と考察(Results and Discussion)

断面観察により、主な不良原因を明らかにした。

Fig. 1 より、TSV 端部での異常なバリヤメタルの後退によるサイドスリットの発生により、TSV と接続するアルミ再配線が断線し、TSV がオープンに至ったことが分かった。

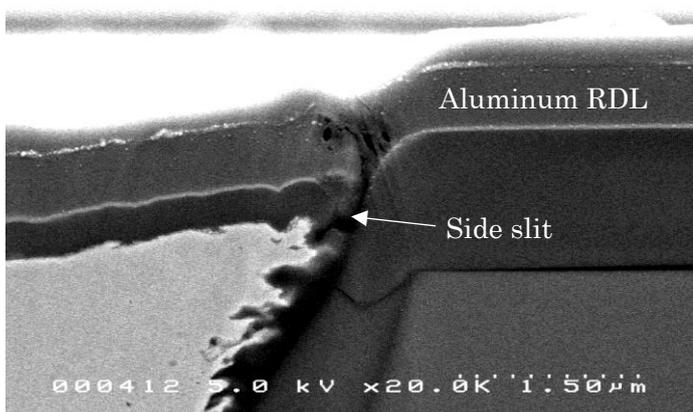


Fig. 1 Disconnection by the TSV side slit.

Fig. 2 より、本来は接続されるべきメモリ内配線と TSV が、TSV エッチング起因と考えられる配線の突き抜けが発生し、TSV のオープンに至った事が分かった。

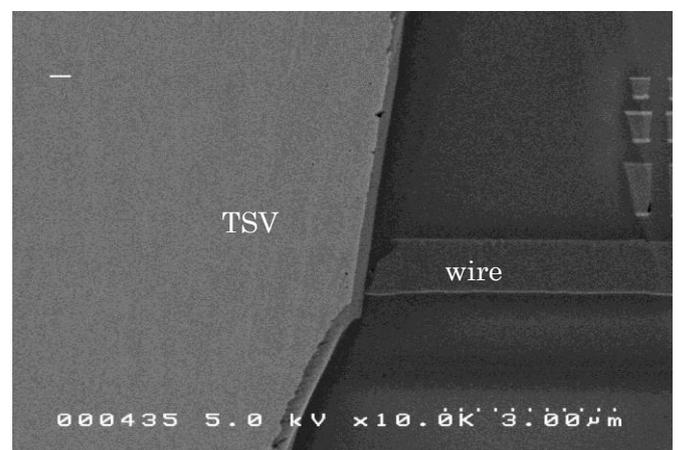


Fig. 2 Connection point of TSV and wiring.

クロスセクションホポリッシャでの断面加工では、サンプル表面(W マスクとサンプルの隙間)に削られたシリコンが再付着(加工時間 60 分でおおよそ 500 nm)することが分かった。この現象に留意し解析を行わないとミスリードする可能性があることがわかった。

4. その他・特記事項(Others)

なし。

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。