

課題番号 : F-20-AT-0031  
利用形態 : 技術代行  
利用課題名(日本語) : (K,Na)NbO<sub>3</sub> 薄膜上への SiO<sub>2</sub> 薄膜形成  
Program Title (English) : SiO<sub>2</sub> deposition on KNN films  
利用者名(日本語) : 柴田憲治  
Username (English) : K. Shibata  
所属名(日本語) : (株)サイオクス  
Affiliation (English) : SCIOCS, Co. Ltd.  
キーワード/Keyword : 成膜・膜堆積、(K,Na)NbO<sub>3</sub>、膜加工・エッチング、TEOS-SiO<sub>2</sub>

## 1. 概要(Summary)

現在(K,Na)NbO<sub>3</sub> 圧電薄膜を MEMS デバイスに適用する開発を進めている。その際、(K,Na)NbO<sub>3</sub> 薄膜をエッチング加工する必要があり、現状、TEOS-SiO<sub>2</sub> 薄膜をマスクにして EDTA を含む溶液でウェットエッチングしている。しかし、NPF 標準レシピ(成膜温度 350°C)で成膜した SiO<sub>2</sub> 層は、ウエハ面内に多少のピンホールを有しており、そのピンホールが原因で、ウェットエッチング時に (K,Na)NbO<sub>3</sub> 薄膜にダメージが入ってしまっていた。今回は、成膜レシピにおける成膜前の 350°C 保持時間を長くすることで SiO<sub>2</sub> 膜質(ピンホール含有)が改善されるかを調べてみた。

## 2. 実験(Experimental)

### 【利用した主な装置】

プラズマ CVD 薄膜堆積装置(SiN)

### 【実験方法】

(K,Na)NbO<sub>3</sub> 薄膜[2 μm]/Pt[200 nm]/Ti[2 nm]/SiO<sub>2</sub>[200 nm]/Si ウエハ上に産総研 NPF のプラズマ CVD 装置を用いて、500 nm 厚の TEOS-SiO<sub>2</sub> 薄膜を成膜した。成膜は基板温度 350°C で実施した。今回は、基板ステージの温度が 350°C 到達後、成膜開始までの時間が 4 分の場合(NPF 標準レシピ)と 19 分の場合(故意に 15 min 待機時間を設けた)の 2 条件で SiO<sub>2</sub> 成膜を実施した。この状態で SiO<sub>2</sub> 薄膜にピンホールがないかを確認するために、試料を EDTA エッチング液に 30 min 浸漬した。もし SiO<sub>2</sub> に部分的にピンホールがあれば、その下の領域の (K,Na)NbO<sub>3</sub> 薄膜がエッチングされることになる。その後、BHF に 3 min 浸漬して SiO<sub>2</sub> 薄膜を除去し、(K,Na)NbO<sub>3</sub> 薄膜を露出し、その上にパターンニングした Pt(100 nm)/RuO<sub>2</sub>(10 nm) の上部電極を形成した。2 mm<sup>2</sup> 正方形の上部電極 10 カ所の誘電特性を測定し、

(K,Na)NbO<sub>3</sub> 薄膜のウェットエッチングによる劣化の有無を調べた。

## 3. 結果と考察(Results and Discussion)

作製した試料の写真を Fig. 1 に示す。また、(K,Na)NbO<sub>3</sub> 薄膜がダメージなく正常な場合の代表的な誘電特性の結果を Fig. 2 に示す。今回準備した 2 試料それぞれにおいて 10 電極で誘電特性の測定を行った。350°C 待機時間 4 min の場合は 7 電極が短絡していて測定できなかった。一方、350°C 待機時間が 19 分の場合は、10 電極全てで正常に誘電特性が測定できた。今回の結果から、本装置では、基板ステージ温度が十分に上昇しきれるように、成膜開始前に昇温待機の時間を設けることが望ましいことが分かった。

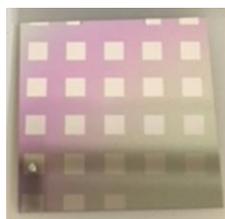


Fig. 1 Picture of the sample.

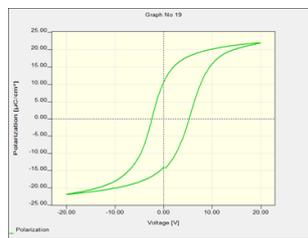


Fig. 2 PE hysteresis loop for KNN film.

## 4. その他・特記事項(Others)

なし。

## 5. 論文・学会発表(Publication/Presentation)

なし。

## 6. 関連特許(Patent)

なし。