

課題番号 : F-20-AT-0030  
利用形態 : 機器利用  
利用課題名(日本語) : Si 基板上の TEOS-SiO<sub>2</sub> の絶縁耐圧評価  
Program Title (English) : Dielectric strength evaluation of TEOS-SiO<sub>2</sub> on Si substrate  
利用者名(日本語) : 黒田稔顕  
Username (English) : T. Kuroda  
所属名(日本語) : 株式会社サイオクス  
Affiliation (English) : SCIOCS, Co. Ltd.  
キーワード/Keyword : 成膜・膜堆積、Si 基板、電気計測

## 1. 概要(Summary)

現在、圧電薄膜を MEMS デバイスに適用する開発を進めている。その際、層間絶縁膜の候補の一つとして SiO<sub>2</sub> の適用を検討しており、その中でも CVD 法で製膜した TEOS-SiO<sub>2</sub> を有力候補としているが、層間絶縁膜として適用するにあたり、絶縁耐性に問題がないのか確認する必要がある。そのため今回は CVD 法で成膜した TEOS-SiO<sub>2</sub> を I-V 測定を行い、絶縁耐性の評価を行い、どれほどの電圧まで耐えられるのか確認を行った。

## 2. 実験(Experimental)

### 【利用した主な装置】

プラズマ CVD 薄膜堆積装置(SiN)

### 【実験方法】

厚み 610 μm の Φ6 インチ Si 基板上に下部電極膜として、Pt(200 nm)/Ti(2 nm) をスパッタリング法にて成膜した。下部電極製膜後、産総研 NPF のプラズマ CVD 装置を用いて、500 nm 厚の TEOS-SiO<sub>2</sub> 薄膜を成膜した。成膜は基板温度 350°C で TEOS 流量は 4.5 cc、圧力 0.67 Pa、RF 出力は 100 W で実施した。TEOS-SiO<sub>2</sub> 成膜後、Au(300 nm)/Ti(10 nm) を基板温度 100°C 下で EB 蒸着法によって成膜し、ウェットエッチングにより Φ500 μm の評価用電極パターンを形成した。上記上部電極形成後、ウェハの一部を卦がいた後、卦がいた部分に銀ペーストを用いて、下部電極とのコンタクト電極を形成した。その後、室温下で、上下電極間に DC 電圧 100 V まで 2 V ずつ連続的に印加していき、I-V 測定を行い、絶縁耐性について評価した。

## 3. 結果と考察(Results and Discussion)

IV 測定結果を Fig. 1 に示す。プラズマ CVD 装置で

350°C の条件の下、成膜した厚み 500 nm の TEOS-SiO<sub>2</sub> 薄膜は 100 V の電圧を印加しても、絶縁破壊は観測されず、100 V の電圧にも耐えたことが確認できた。この結果から圧電薄膜を用いた MEMS デバイスへの層間絶縁膜として TEOS-SiO<sub>2</sub> は十分に適用できると考えられる。

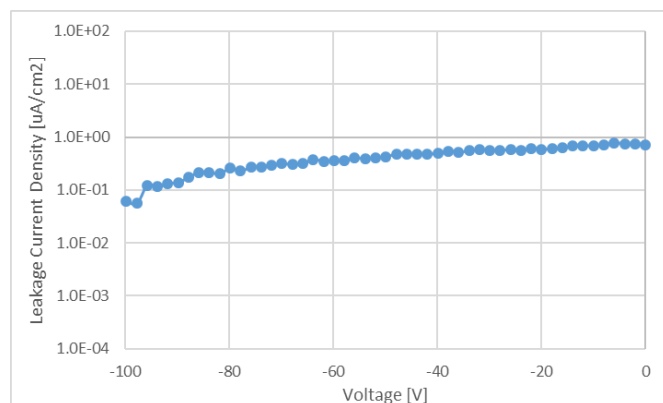


Fig. 1 I-V measurement for TEOS-SiO<sub>2</sub>.

## 4. その他・特記事項(Others)

なし。

## 5. 論文・学会発表(Publication/Presentation)

なし。

## 6. 関連特許(Patent)

なし。