

課題番号	: F-20-AT-0029
利用形態	: 機器利用
利用課題名(日本語)	: Y ₂ O ₃ を用いた Ge 系デバイス試作
Program Title (English)	: Fabrication of Ge based devices with Y ₂ O ₃
利用者名(日本語)	: 石井寛仁 ^{1), 2)}
Username (English)	: H. Ishii ^{1), 2)}
所属名(日本語)	: 1) 東京理科大学大学院基礎工学研究科電子応用工学専攻, 2) 産業技術総合研究所
Affiliation (English)	: 1) Tokyo University of Science, Graduate School of Industrial Science and Technology, Department of Applied Electronics, 2) AIST
キーワード/Keyword	: 形状・形態観察、分析、成膜・膜堆積、スパッタ

1. 概要(Summary)

近年、Si に代わる新しいチャンネル材料として Si よりも高い移動度を有する Ge が注目されている。しかし、Ge は自身の自然酸化膜(GeOx)の熱安定性に問題があることから、Si と同等の信頼性を得ることは難しい。本研究では、GeOx の熱安定性を向上させることが報告されている Y₂O₃ をゲート絶縁膜とし、スパッタ法を用いた Y₂O₃/Ge ゲートスタックの性能向上に向けたプロセスの検討を行った。

2. 実験(Experimental)

【利用した主な装置】

電子ビーム真空蒸着装置

【実験方法】

基板表面を HCl で洗浄した後、高真空反応性 DC マグネトロンスパッタ装置で n 型の Ge 基板(100)上に Y₂O₃ を堆積させた。スパッタは Ar/O₂ 雰囲気、パワー 100 W の条件で行った。その後、in-situ で Y₂O₃ 上に TaN を堆積させた。スパッタは Ar/N₂ 雰囲気、パワー 100 W の条件で行った。その後、N₂ 雰囲気、温度 500°C で 10 分間 PDA 処理を行った。露光装置で電極パターンを形成した後、電子ビーム真空蒸着装置を用いて Au(250 nm)/Pt(15 nm)/Ti(15 nm)を TaN 上に真空蒸着し、リフトオフ法にて電極を作製した。その後 TaN をドライエッチングすることで電極を分離し、スパッタ装置にて試料の裏面に Au を堆積させた。最後に PMA 処理を施し、MOS キャパシタの C-V を測定した。PMA は N₂ 雰囲気、温度 200°C、10 分の条件で行った。

3. 結果と考察(Results and Discussion)

作製した MOS キャパシタの C-V 特性を Fig. 1 に示す。

また、コンダクタンス法にて Dit を算出した結果、mid-gap 近傍で $1.8 \times 10^{11} \text{ eV}^{-1} \text{ cm}^{-2}$ と非常に小さな値が得られた。これらの結果から、GeOx の熱的不安定性の最大の要因である、GeO の脱離が見られる 500 °C 付近の熱を施しても、すべての周波数においてヒステリシスが少なく、良好な界面特性を有した MOS キャパシタが作製できた。

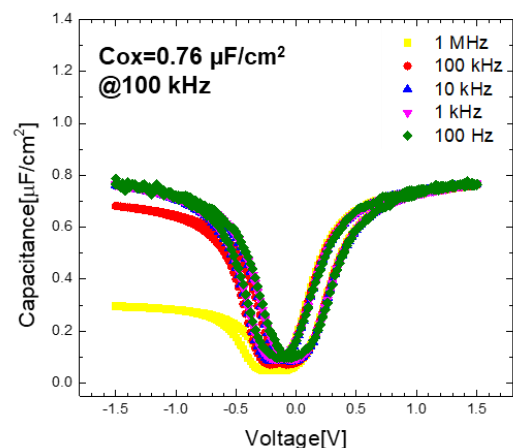


Fig. 1 C-V characteristics of TaN/Y₂O₃/Ge gate stack.

4. その他・特記事項(Others)

共同研究者：産業技術総合研究所 前田辰郎様

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。