

課題番号 : F-20-AT-0026
 利用形態 : 技術代行
 利用課題名(日本語) : 原子層堆積法を用いた金属成膜
 Program Title (English) : The metal deposition by atomic layer deposition
 利用者名(日本語) : 郷富将¹⁾、後藤高寛²⁾、宮本恭幸²⁾
 Username (English) : M.T.Go¹⁾, T.Gotow²⁾, Y. Miyamoto²⁾
 所属名(日本語) : 1) 東京工業大学工学院電気電子系 2) 東京工業大学工学院
 Affiliation (English) : 1) Department of Electrical and Electronic Engineering, School of Engineering, Tokyo Institute of Technology. 2) School of Engineering, Tokyo Institute of Technology.
 キーワード/Keyword : 成膜・膜堆積、MOSFET、III-V族化合物半導体、マルチゲート構造、ナノシート

1. 概要(Summary)

再成長エピタキシャルソースと高移動度 InGaAs チャンネルを有する MOSFET の研究を行ってきたことを踏まえ、ナノシート構造チャンネルを持つデバイスの研究を行っている。特性改善の目安としてのゲート制御性を向上するためには、チャンネル部周囲をゲート金属によって覆うという GAA (Gate-All-Around)方式を採用する必要がある。そのため、立体構造への均一な成膜が可能な原子層堆積 (ALD)法による TiN の成膜を国立研究開発法人産業技術総合研究所ナノプロセッシング施設(NPF)の支援により試みた。

2. 実験(Experimental)

【利用した主な装置】

原子層堆積装置[FlexAL]

【実験方法】

Fig. 1(a)の基板構造で Fig. 1(b)の GAA 型トランジスタ構造の作製を行うと同時に、split-CV 法による移動度の解析のための Planer InGaAs MOSFET(Fig. 2)の作製を行っている。

Gate 金属として用いる TiN の ALD 成膜は、基板温度を 300°Cとし、Ti のプリカーサとして TDMAT を使用、窒素プラズマ処理は H₂/N₂=7/21 sccm、リアクタ内圧力 40 mTorr、RF 出力 200 W の条件下で行った。

3. 結果と考察(Results and Discussion)

絶縁膜として Al₂O₃/HfO₂ を用いたナノシート構造チャンネルを持つデバイスを、TiN の ALD 成膜後に SEM にて確認した(Fig. 3)。チャージアップが見受けられないことから、TiN が全面に成膜されていることがわかる。

GAA 方式のデバイス構造を確認できたので、引き続き製作を進め、ナノシート構造 MOSFET の解析を行う。

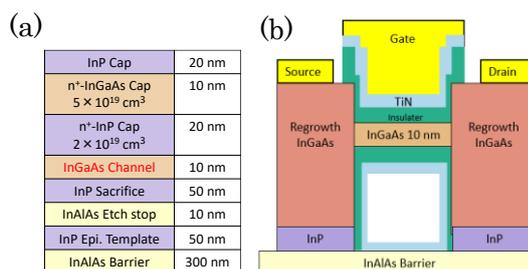


Fig. 1 (a) Epitaxial structure. (b) schematic image of GAA transistor.

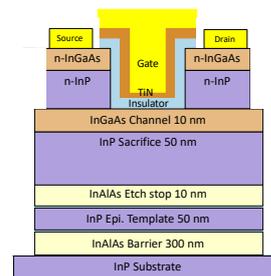


Fig. 2 schematic image of Planer InGaAs MOSFET.

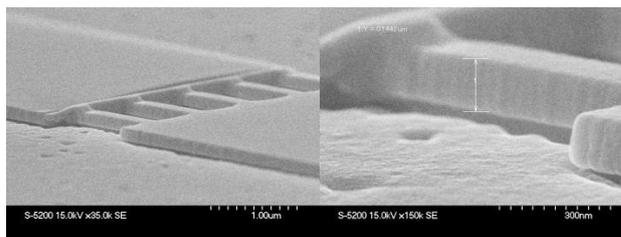


Fig. 3 SEM image around channel (Left: Overall view, Right: Enlarged view).

4. その他・特記事項(Others)

・謝辞

国立研究開発法人産業技術総合研究所 NPF の有本宏様、山崎将嗣様に感謝いたします。

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。