

課題番号 : F-19-UT-0109  
利用形態 : 機器利用  
利用課題名(日本語) : トップダウン加工によるナノ流体デバイスの開発  
Program Title (English) : Development of nanofluidic devices by top-down fabrication  
利用者名(日本語) : 美濃賢佑、嘉副裕  
Username (English) : Kensuke Mino, Yutaka Kazoe  
所属名(日本語) : 慶應義塾大学理工学部システムデザイン工学科  
Affiliation (English) : Department of System Design Engineering, Faculty of Science and Technology,  
Keio University  
キーワード/Keyword : リソグラフィ・露光・描画装置、成膜・膜堆積、ナノ流路、ナノピラー

## 1. 概要(Summary)

マイクロ流体工学が 100 nm のナノ空間へと展開している。しかし、ナノスケールでは流路抵抗が飛躍的に上昇するため、小型省電力のデバイスを実現するには流路抵抗の低減が重要となる。今回、ナノ流路の抵抗低減を目指し、東京大学武田先端知スーパークリーンルーム及びナノ・マイクロ産学官共同研究施設 NANOBIC の設備を利用して、ナノ流路への撥水ナノ構造集積化と流路抵抗の低減を検証した。

## 2. 実験(Experimental)

### 【利用した主な装置】

高速大面積電子線描画装置、LL 式高密度汎用スパッタリング装置、川崎ブランチスパッタリング装置

### 【実験方法】

ガラス基板に電子線レジスト ZEP520A (日本ゼオン) をスピコートして、高速大面積電子線描画装置によりナノピラーパターンを描画した。現像によりレジストを除去した後、ドライエッチングによりピラーを加工した。このナノピラーをナノ流路に組み込み、もう 1 枚の基板と接合してデバイスを作製した。作製したデバイスのナノ流路にフッ素系シラン化剤による疎水修飾を施した。

## 3. 結果と考察(Results and Discussion)

作製したデバイスを Fig. 1 に示す。1 つのデバイスにマイクロ流路とナノ流路を作製し、更にナノ流路内に幅 300 nm のナノピラーを 300 nm の間隔で集積化することに成功した。また、ナノピラーを加工し疎水修飾した表面の水の接触角を測定したところ 136°となり、疎水ナノピラーによる撥水効果を検証した。また、幅 180  $\mu\text{m}$ 、深さ 937 nm のナノ流路の質量流量測定により流路抵抗を測定したと

ころ、親水のナノ流路に比して 40% の流路抵抗低減を達成した。以上より、ナノ流路への撥水ナノピラー集積化による流路抵抗低減にはじめて成功した。

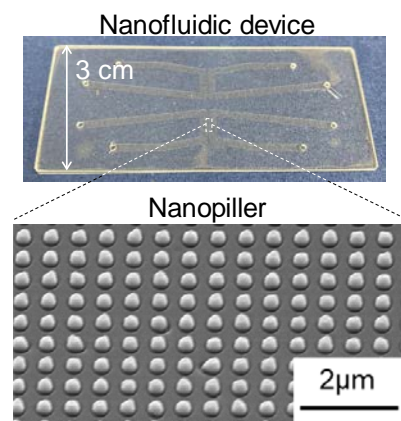


Fig. 1 Nanopillar-integrated nanofluidic device

## 4. その他・特記事項(Others)

・東電記念財団研究助成「小型・省電力ナノ流体システムのためのナノ流体抵抗低減技術の開発」

## 5. 論文・学会発表(Publication/Presentation)

なし。

## 6. 関連特許(Patent)

なし。