

課題番号 : F-19-UT-0004  
利用形態 : 機器利用  
利用課題名(日本語) : 高性能トランジスタに関する研究  
Program Title (English) : Research on the high performance transistor  
利用者名(日本語) : 隅田圭  
Username (English) : K. Sumita  
所属名(日本語) : 東京大学大学院 工学系研究科(電気系工学専攻)  
Affiliation (English) : School of Engineering, The University of Tokyo  
キーワード/Keyword : リソグラフィ・露光・描画装置、III-V MOSFET

## 1. 概要(Summary)

トランジスタの素子寸法の縮小が限界を迎えつつある為、素子の 3 次元集積化による集積回路の性能向上が期待されている。3次元集積 CMOS の最大の課題はプロセス温度である一方、Ge pMOSFET や III-V nMOSFET は低温での素子作製が可能なことから 3 次元集積 CMOS への応用が期待されている。しかしながら、Si CMOS との一体集積化が可能な極薄膜の OI 構造を、産業的に現実的なコスト、そして電子デバイスの動作に十分な高品質を有する形で実現する手法に課題が残されている。また、Ge や InAs は狭バンドギャップ材料であり、界面準位も多く含む為、MOSFET のリーク電流を抑制する為には極薄膜の OI 構造や、ゲート幅を究極的に細くした Tri-gate 構造によるチャネル制御が必要となってくる。そこで我々は、酸化濃縮や、直接基板貼り合わせとイオン注入によるカッティングを組み合わせた Smart Cut 法を用いて Ge-OI 構造を実現し、MOSFET 応用を目指している。同様に、Smart Cut 法を用いた InAs-OI nMOSFET の実現にも向けて取り組んでいる。

## 2. 実験(Experimental)

### 【利用した主な装置】

高速大面積電子線描画装置 (F5112)

超高速大面積電子線描画装置 (F7000S)

### 【実験方法】

InAs-OI 基板を Smart Cut 法にて作製した後、CMP 処理とウェットエッチングによって 7 nm の極薄膜 InAs-OI 基板を形成した。この InAs-OI 基板にハードマスクとして SiO<sub>2</sub> を堆積させた後、高速大面積電子線描画装置を使い、EB 用マーカ、MOSFET のチャネルのパターンを形成し、ICP ドライエッチングによって MOSFET のチャネルを形成した。その後、サイドウォールをウェット

エッチングすることにより、極細チャネルを形成し、Al<sub>2</sub>O<sub>3</sub>/TiN ゲートスタックを行った。Gate のパターンを電子線描画装置によりパターンニングすることにより、Tri-gate 構造を作製した。次にセルフアラインプロセスによって S/D を形成する為の穴あけパターンニングを電子線描画装置で行い、セルフアラインによって Ni を堆積させた。アニーリング処理を施すことで Ni-InAs 層を S/D 領域に形成することでメタル S/D を実現し、junction-less の MOSFET 構造を作製した。現在、最後のコンタクト電極を積む為のパターンニングを行おうとしている。

## 3. 結果と考察(Results and Discussion)

Fig. 1 に示すように MOSFET のチャネル形成には成功した。これから引き続き素子のプロセスを進め、評価をする予定である。

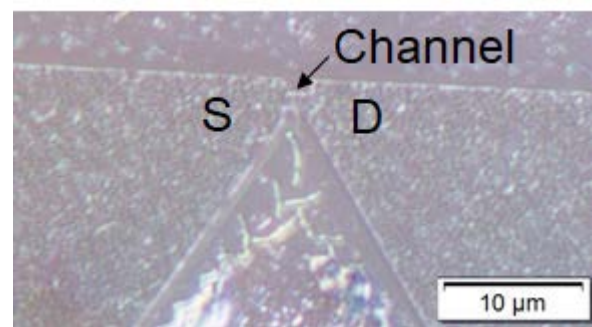


Fig. 1 The Microscopy image of InAs-OI MOSFET with the gate width of 1 μm.

## 4. その他・特記事項(Others)

なし

## 5. 論文・学会発表(Publication/Presentation)

なし

## 6. 関連特許(Patent)

なし