

課題番号 : F-19-RO-0034  
 利用形態 : 機器利用  
 利用課題名(日本語) : CMOS NAND 回路による半加算器  
 Program Title (English) : Half adder using CMOS NAND circuits  
 利用者名(日本語) : 岡部蒼太<sup>1)</sup>  
 Username (English) : S. Okabe<sup>1)</sup>  
 所属名(日本語) : 1) 大島商船高等専門学校 電子・情報システム工学専攻  
 Affiliation (English) : 1) Electronics Information Technology Systems,  
 National Institute of Technology, Oshima College  
 キーワード/Keyword : リソグラフィ・露光・描画装置、成膜・膜堆積、形状・形態観察、電気計測、半加算器

### 1. 概要(Summary)

従来、PC の内蔵ストレージ等のデータ記憶媒体には HDD が広く用いられてきた。一方、近年では NAND フラッシュメモリを用いた SSD の普及が進んでいる。この度は、広島大学 ナノデバイス・バイオ融合科学研究所の設備を利用して、CMOS NAND 回路を用いた半加算器の作製を行った。

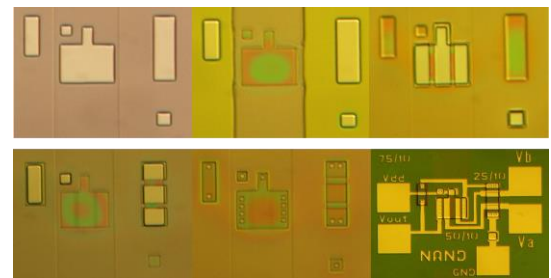


Fig.1 Images of NAND circuits each process.

### 2. 実験(Experimental)

#### 【利用した主な装置】

設計・T-CAD 用ワークステーション、酸化炉、マスク露光装置、イオン注入装置、ウェル拡散炉、スパッタ装置(AI 用)、エッチング装置(レジスト Ashing 用)、PMA 炉

#### 【実験方法】

シリコンウェハ上にフィールド酸化膜を形成した後、n-well、アクティブ領域、nMOS チャンネル、ソース・ドレイン、ゲート酸化膜、コンタクト、アルミ電極を順次積層させる。本利用では P 型及び N 型 MOSFET、CMOS インバータ、CMOS NAND 回路、半加算器を作製した。

### 3. 結果と考察(Results and Discussion)

各作製工程を経てトランジスタが形成されていく様子を観察した結果を Fig. 1 に示す。また、作製した半加算器の電気的特性を、半導体パラメータアナライザを用いて測定した結果を Fig. 2 及び Fig. 3 に示す。このとき、半加算器の出力を VSUM、桁上り出力を VCARRY とする。この測定結果より、作成した半加算器が期待される出力と同様の動作をしていることが確認された。

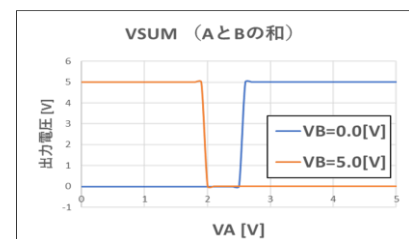


Fig. 2 Output of VSUM of the half adder

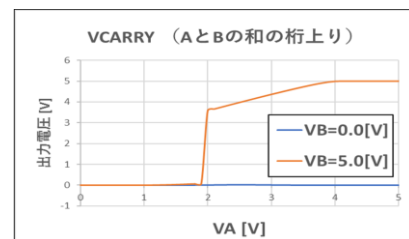


Fig. 3 Output of VCARRY of the half adder

### 4. その他・特記事項(Others)

黒木 伸一郎様(広島大学), ナノデバイス・バイオ融合科学研究所の皆様にご感謝申し上げます。

### 5. 論文・学会発表(Publication/Presentation)

なし。

### 6. 関連特許(Patent)

なし。