

課題番号 : F-19-RO-0004
利用形態 : 技術代行
利用課題名(日本語) : 負性容量4端子 poly-Si TFT の開発
Program Title (English) : Negative capacitance 4T poly-Si TFT
利用者名(日本語) : 原明人
Username (English) : Akito Hara
所属名(日本語) : 東北学院大学工学部電気電子工学科
Affiliation (English) : Department of Electrical and Electronic Engineering, Tohoku-Gakuin University
キーワード/Keyword : ドーピング、poly-Si、薄膜トランジスタ

1. 概要(Summary)

近年、IoT 社会に向けたデバイスの開発が進んでいる。IoT で使われるデバイスは低電圧で動作し、高い on 電流を有し、安価であることが求められる。これを実現するためには、高誘電率(high-k)絶縁膜が必要となる。しかし、この方法では 60 mV/dec の物理限界の壁を超えることはできない。最近、強誘電体を利用した負性容量の概念が提案され、60 mV/dec の物理限界を打破できることが先端 Si-LSI や各種 FET で証明されている。この技術を利用すると、4T poly-Si TFT も性能の向上が期待できる。

2. 実験(Experimental)

【利用した主な装置】

イオン注入装置

【実験方法】

反応性エッチング(RIE)により石英基板上に BG トレンチを形成後、ゲートメタルとしてタングステン(W)をスパッタで堆積する。その後、化学機械研磨(CMP)により、余分な W を除去し、埋め込み BG を形成する。次にプラズマ CVD(PECVD)により BG SiO₂ を 150 nm、ノドープ非晶質 Si (a-Si) を 75 nm 成膜する。成膜された a-Si 薄膜は、脱水素化後に半導体隆起固体連続波レーザーラテラル結晶化(CLC)により結晶化され、大粒径 poly-Si 薄膜に変換される。トランジスタアイランドの形成後、PECVD により TG SiO₂ を 10 nm 堆積し、反応性スパッタで HfO₂ を成膜する。次に、W をスパッタで堆積後、石英基板に埋め込まれた BG をフォトマスクとして背面露光を行うことにより、BG に対して自己整合的に TG を形成した。ソース・ドレイン領域上の TG 絶縁膜を RIE により除去後、広島大学支援機関にてリンのイオン注入を行う。次に、BG と連結する配線を形成するため、TG のエッジ部分を RIE により除去する。PECVD で SiO₂ 層間絶縁膜 200 nm を堆積

後、N₂雰囲気中において 550°C で 6 h の活性化アニールを行う。次に、RIE によりコンタクトホールを形成後、モリブデンによる電極を形成した。最後に水素化処理を行う。一方、負性容量の HfZrOx 強誘電体キャパシタンスは別途作成する。

3. 結果と考察(Results and Discussion)

強誘電体キャパシタンスが実現できなかったため、high-k のみの性能向上の実現となった。トランスファ特性を図1に示す。高いオン電流と鋭い立ち上がり特性(小さい s 値)を実現している。

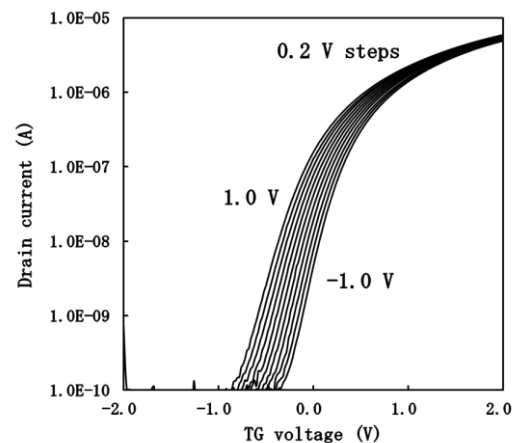


Figure 1. Transfer characteristics of drain current versus top gate (TG) voltage at different bottom gate voltages.

4. その他・特記事項(Others)

なし

5. 論文・学会発表(Publication/Presentation)

なし

6. 関連特許(Patent)

なし