

課題番号 : F-19-OS-0038
利用形態 : 機器利用
利用課題名 (日本語) : 金属/半導体積層構造を用いた高性能熱電材料の開発
Program Title (English) : Development of high-performance thermoelectric material using metal/semiconductor stacking structure
利用者名 (日本語) : 谷口達彦, 中村芳明, 石部貴史, 坂根駿也, 寺田吏, 雛川貴弘, 塩田拓哉, 上松悠人, 金子達哉, 小松原祐樹, 細田凌矢, 蘆田湧一, 北浦怜旺奈, 水田光星, 佐藤健人, 片山虎之介, 本田悠成
Username (English) : T. Taniguchi, Y. Nakamura, T. Ishibe, S. Sakane, T. Terada, T. Hinakawa, T. Shiota, Y. Uematsu, T. Kaneko, Y. Komatsubara, R. Hosoda, Y. Ashida, R. Kitaura, K. Mizuta, K. Sato, T. Katayama, Y. Honda
所属名 (日本語) : 大阪大学 大学院基礎工学研究科 システム創成専攻
Affiliation (English) : Dep. System Innovation, Grad. School of Engineering Science, Osaka University
キーワード/ Keyword : 成膜・膜堆積、EB 蒸着、熱電材料、Co、Si、超格子

1. 概要 (Summary)

熱電性能向上のためには、高いゼーベック係数と電気伝導率、低い熱伝導率が求められる。しかし、これらはトレードオフの関係にあり、同時制御は長年にわたる課題である。そこで我々は、高いゼーベック係数を持つ半導体と高い電気伝導率を有する金属を用いた積層構造薄膜を提案し、高ゼーベック係数と高電気伝導率及び、界面フォノン散乱による低熱伝導率の同時実現を目指す。本研究では、高ゼーベック係数の Si と高電気伝導率の Co の超格子薄膜の作製を行った。また参照用として Si 基板上 Co 薄膜を作製し、熱電性能を比較することで、積層構造化による熱電性能向上効果を実証する。

2. 実験 (Experimental)

【利用した主な装置】

EB 蒸着装置

【実験方法】

EB 蒸着装置を用いて、基板温度：室温、背圧： 1×10^{-4} Pa の条件下で、Si(001)基板上に Si、Co 積層薄膜を成膜した。この時、成膜レートを 0.05 nm/s に設定した。同様の条件で Si 基板上 Co 単層薄膜も作製した。

3. 結果と考察 (Results and Discussion)

Fig. 1 は、Si(001)基板上に蒸着した Si、Co 積層薄膜断面の SEM 像である。これより、Si、Co 積層薄膜は、それぞれ 50 nm 程度の膜厚を有することが分か

る。熱電性能を評価したところ、アモルファス Si と同等の熱伝導率と、Co 由来の高い電気伝導率 (~ 4000 S/cm) を同時実現することに成功した。一方で、ゼーベック係数は本来のバルク Si に比べて低減した。これは、Si 層のキャリア密度が低く、Si 層中を電気が伝導しなかったためであると考えられる。今後、Si 層へのキャリアドーピングを行い、ゼーベック係数の増大を目指す。

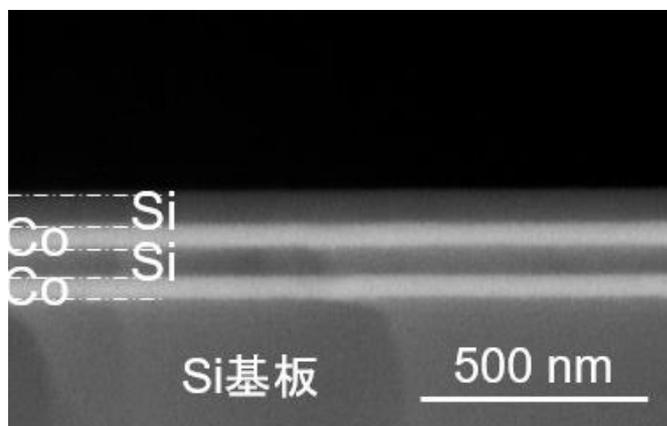


Fig. 1 Scanning electron microscope image of Co/ Si stacking film.

4. その他・特記事項 (Others)

関連課題番号:S-19-OS-0033

5. 論文・学会発表 (Publication/Presentation)

なし。

6. 関連特許 (Patent)

なし。