

課題番号 : F-19-NU-0001  
利用形態 : 機器利用  
利用課題名(日本語) : MEMS や半導体などをセラミック材で支持する構造  
Program Title (English) : Structure to support MEMS and semiconductors with ceramic material  
利用者名(日本語) : 西園和則, 瀬尾暁, 牧野伸哉  
Username (English) : K. Nishizono, S. Seo, N. Makino  
所属名(日本語) : 株式会社 MARUWA  
Affiliation (English) : MARUWA CO. LTD  
キーワード/Keyword : リソグラフィ・露光・描画装置、成膜・膜堆積、膜加工・エッチング

## 1. 概要(Summary)

セラミック基板に半導体チップを搭載する方法として、金属薄膜パターンを用い半導体チップを接着する実験を検討している。まずはシリコンウェハ表面に金属薄膜のパターニングからはじめた。

## 2. 実験(Experimental)

### 【利用した主な装置】

両面露光用マスクアライナ (Suss MA-6)、電子ビーム蒸着装置

### 【実験方法】

名古屋大学微細加工プラットフォームの装置を利用し、シリコンウェハを使って金属薄膜の成膜とパターニング(配線幅 4  $\mu\text{m}$ )の条件出しから始めた。

最初にスピンコータを使用して、シリコンウェハ(4インチ)にフォトレジストを塗布した。次に、両面露光マスクアライナで露光した後にドラフトチャンバー内で現像してフォトレジストをパターニングした。フォトレジストをパターニングしたウェハに金属薄膜を蒸着装置で成膜した。金属成膜したウェハのフォトレジスト部分を剥離するリフトオフ法によって、金属薄膜をパターニングしたウェハを試作した。

## 3. 結果と考察(Results and Discussion)

今回は、半導体装置の使用経験が少ないメンバーのため装置操作の習得も兼ねて実験を進めた。まずは金属薄膜(厚さ 0.2~1.0  $\mu\text{m}$ ) のパターニングから取り組んだ。リフトオフ法によるメタライズを試作した結果、金属パターンエッジ部分のバリが問題となった。特に、金属薄膜の厚さが 1  $\mu\text{m}$  の場合にバリが多くみられた。

バリ対策として、フォトレジストの種類や組み合わせを変えるなどして実験した結果、フォトレジスト+犠牲層レジスト

の組合せがもつともバリが少なかった。

一方、蒸着装置チャンバー内の温度によってレジストの断面構造が変化することが知られている。そこで、電子ビーム蒸着装置内に設置したウェハに温度マーカを貼って温度を確認しながら、使用可能なフォトレジストの条件を確認した。

上記のようにフォトレジストの種類や組合せ、成膜条件などの対策を実施した結果、バリを改善できた。

今後は、さらに金属薄膜パターニングを微細化したいと考えている。

## 4. その他・特記事項(Others)

- ・他の機関の利用: 京都大学ナノテクノロジーハブ拠点
- ・名古屋大学 加藤剛志様、大島大輝様に感謝いたします。

## 5. 論文・学会発表(Publication/Presentation)

なし。

## 6. 関連特許(Patent)

なし。