

課題番号 : F-19-NM-0004
 利用形態 : 機器利用
 利用課題名(日本語) : シリサイド薄膜のエッチング加工およびデバイスの試作
 Program Title(English) : Etching process of silicide thin films and fabrication of devices
 利用者名(日本語) : 三浦篤志
 Username(English) : A. Miura
 所属名(日本語) : 株式会社豊田中央研究所
 Affiliation(English) : TOYOTA CENTRAL R&D LABS., INC
 キーワード/Keyword : マテリアルサイエンス、膜加工・エッチング、シリサイド薄膜

1. 概要(Summary)

代表的な Zintl 相の一つである CaSi_2 は、六角網目状のシリコン層の層間に平面なカルシウム層が挿入し結晶構造をとる。最近、この結晶内のシリコン層が見かけ上の質量がゼロとなる電子状態を持つことが明らかにされ[1]、超高速電子デバイスへの応用が期待されている。また、カルシウムの選択的なフッ素化により、フッ化カルシウムにサンドイッチされた二層構造のシリセンが生成する事も報告されている[2]。我々は、シリセンを用いたスイッチング素子作製を目指して、原料となる CaSi_2 エピ膜のメサ構造(島状)の形成を検討している[3]。本課題では、 CaSi_2 薄膜のエッチング条件の最適化を検討し、デバイスの作製を試みた。

2. 実験(Experimental)

【利用した主な装置】

- ・ 高速マスクレス露光装置
- ・ 酸化膜ドライエッチング装置
- ・ 化合物ドライエッチング装置
- ・ 多目的ドライエッチング装置

【実験方法】

リフトオフ法により作製した MgO 薄膜をマスクとした CaSi_2 薄膜のメサ構造形成を、酸化膜ドライエッチング装置(ICP-RIE 装置)を用いて実施し、Fig. 1 に示すシリセン FET 素子を作製した。

3. 結果と考察(Results and Discussion)

利用報告書 F-18-NM-0066 に於いて決定した MgO をマスクとした CaSi_2 薄膜のエッチング条件を用いて、メサ構造を作製し、順次工程を進めてシリセン FET 素子を作製した(Fig. 2)。しかしながら、得られた素子構造ではゲート変調を伴う伝達特性を確認することはできなかった。今後、デバイス構造の更なる検討が必要である。

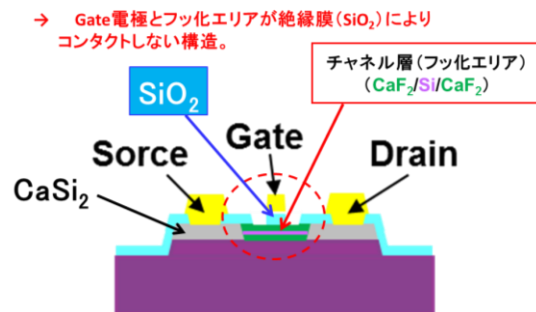


Fig. 1 Schematic diagram of the cross-section of a fabricated silicene transistor device.

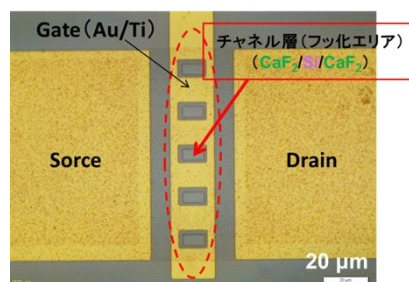


Fig. 2 Optical photo image of the silicene transistor device.

4. その他・特記事項(Others)

【参考文献】

- [1] E. Noguchi, et al., Adv. Mater., **27**, 856–860 (2015).
- [2] R. Yaokawa, et al., Nat. Commun., **7**, 10657, (2016).
- [3] 2018年度の利用報告書 F-18-NM-0066

【謝辞】

本実験に際し、NIMS 微細加工 PF の大里啓孝様に多大なご協力を頂きましたことを感謝いたします。

5. 論文・学会発表(Publication/Presentation)

無し

6. 関連特許(Patent)

- (1) 三浦篤志, 中野秀之, 伊藤健治, 大橋雅卓, “半導体素子およびその製造方法”, (申請中)