

課題番号 : F-19-KT-0072
利用形態 : 機器利用
利用課題名(日本語) : 半導体プロセス基礎実験(2)
Program Title(English) : Basic experiment of semiconductor process
利用者名(日本語) : 丹野聡、武田恭英、上岡力、瀬尾良太郎、林裕二
Username(English) : S.Tanno, T.Yasuhide, C.Kamioka, R.Seo, Y.Hayashi
所属名(日本語) : 株式会社ジェイテクト
Affiliation(English) : JTEKT CORPORATION

1. 概要(Summary)

半導体プロセスの基本的工程である配線形成工程にて、難エッチング材成形の一般的手法であるリフトオフ工法を確立する。

2. 実験(Experimental)

【利用した主な装置】

電子線蒸着装置

【実験方法】

2枚のウェハに対し、他機関でリフトオフ用レジストをパターンニングした。そのウェハの一方を同じく他機関でスパッタし、他方を当機関の蒸着装置で成膜した。

3. 結果と考察(Results and Discussion)

スパッタと蒸着で成膜したそれぞれのサンプルの断面図を Fig.1,2 に示す。

スパッタで成膜したサンプルは、レジスト側面にわずかだが確実に成膜されていた。

これに対し、蒸着で成膜したサンプルはレジストの側壁が成膜前とほぼ変わらず、側壁への付着が認められなかった。

これらのサンプルをそれぞれリフト処理したところ、スパッタしたサンプルはほぼリフトオフが出来なかったのに対し、蒸着したサンプルはきれいにパターンニングすることが出来た。

この2つの成膜法で差が出来た要因としては、どちらも母材塊から何らかの方法で粒子状にしてウェハに飛ばすということでは同じ原理と言えるが、母材塊からウェハまでの距離が蒸着装置のほうが格段に遠かったためと思われる。

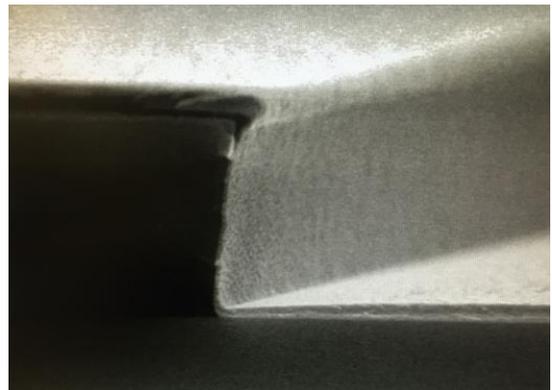


Fig. 1 SEM of sample after sputtering.

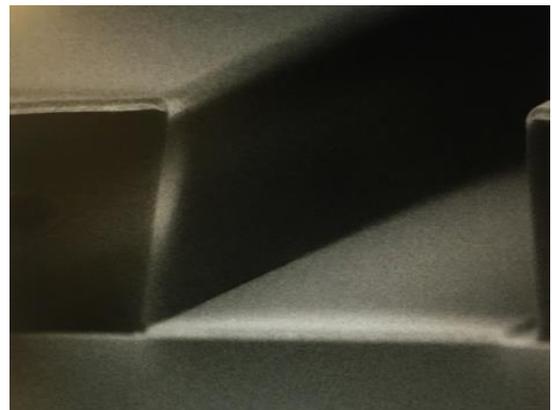


Fig. 2 SEM of sample after vapor deposition.

4. その他・特記事項(Others)

なし。

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。