

課題番号 : F-19-FA-0018
 利用形態 : 機器利用
 利用課題名(日本語) : MOS 構造サンプルを用いたシリコンウェーハの CV 特性評価
 Program Title(English) : Analysis of silicon wafers by Fabrication of CMOSFET
 利用者名(日本語) : 奥山亮輔¹⁾ 鈴木陽洋¹⁾
 Username(English) : R. Okuyama¹⁾ A. Suzuki
 所属名(日本語) : 1) 株式会社 SUMCO
 Affiliation(English) : 1) SUMCO Corporation
 キーワード/Keyword : MOSFET、CV 特性、シリコンウェーハ、熱処理、接合、電気計測

1. 概要(Summary)

デバイス特性を悪化させる原因にシリコンおよびデバイス製造プロセス中にシリコンウェーハ中に混入する重金属汚染がある。重金属汚染はデバイス活性領域にて深い不純物準位を形成するために、キャリアの再結合中心となりリーク電流の原因となる。特に近年撮像素子として用いられている CMOS イメージセンサにおいては、わずかなリーク電流も歩留まりを低下させる要因となることから、重金属汚染対策が必須となっている。そこで、我々は分子イオン注入をおこなったウェーハにシリコンエピタキシャル成長をおこなった分子イオン注入エピタキシャルシリコンウェーハを開発してきた。このウェーハは重金属に対する高いゲッタリング能力を有することが報告されている。[1]しかしながら、実際に CMOSFET を作製した際の電気特性に対して、分子イオン注入領域による影響は明らかとなっていない。そのため、今回試作した MOS 構造サンプルの CV 特性評価をおこない、本ウェーハによる SiO₂/Si 界面および SiO₂ 膜への影響がないことを確認することを目的とした。

2. 実験(Experimental)

【利用した主な装置】 デバイスアナライザー、マニュアルプローバー

【実験方法】

北九州共同研究開発センターデバイスアナライザーと測定プローバーを用いて、MOS 構造サンプルの CV 測定をおこなった。ウェーハには分子イオン注入ウェーハと Ref として分子イオン注入無しのサンプルを用いた。

3. 結果と考察(Results and Discussion)

Fig. 1 は試作した MOS 構造サンプルの CV 測定結果である。CV 測定は低周波測定として Quasi-Static 法を用いておこない、その後界面準位密度の解析をおこなった。

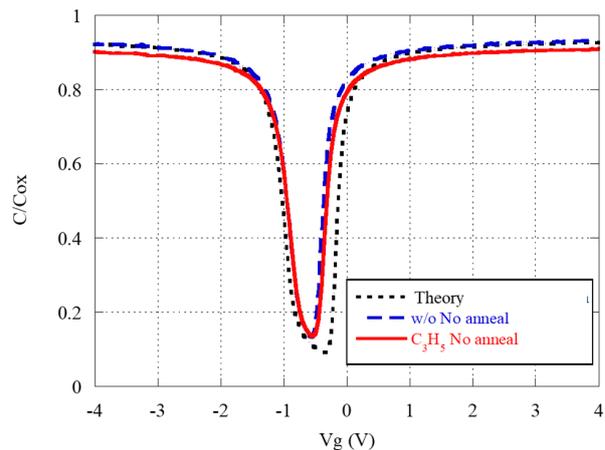


Fig. 1 C-V characteristics for each samples

Fig.1 に示したように、理論計算をおこなった CV 特性の結果とは差が見られたが、分子イオン注入有無による大きな差は見られないことを確認することができた。また、算出した界面準位密度の結果も分子イオン注入有無でのサンプル間の差はみられないことを確認することができた。ゲッタリングシンクとして我々は分子イオンに炭素を用いており、この炭素が酸化膜形成工程の熱処理中に拡散し、SiO₂/Si 界面準位および SiO₂ 膜の劣化を引き起こすことが懸念されていたが、CV 特性の結果から、問題ないことを確認することができた。

そのため、ゲッタリング領域として形成した分子イオン注入領域はデバイス特性に影響を与える可能性が小さいことを示唆する結果を得ることができた。

4. その他・特記事項(Others)

・参考文献:[1] K. Kurita, T. Kadono, R. Okuyama, S. Shigematsu, R. Hirose, A. Onaka-Masada, Y. Koga, and H. Okuda, Phys. Status Solidi A, 2017, 214, 1700216.

5. 論文・学会発表(Publication/Presentation) なし

6. 関連特許(Patent) なし