

課題番号 : F-19-AT-0164
利用形態 : 機器利用
利用課題名(日本語) : トンネルトランジスタの試作・評価
Program Title (English) : Fabrication and Characterization of Tunnel Field-Effect Transistors
利用者名(日本語) : 伴芳祐
Username (English) : Y. Ban
所属名(日本語) : 理化学研究所
Affiliation (English) : RIKEN
キーワード/Keyword : リソグラフィ・露光・描画装置, シリコン集積素子, LSI, 量子コンピュータ

1. 概要(Summary)

近年低消費電力 LSI の実現に向けて、低電圧で動作可能な TFET が注目を集めている。トンネル接合を内包するデバイスであるために、接合の持つ高いトンネル抵抗によってオン電流の確保に課題があるが、利用者らは IET(Isoelectronic Trap)不純物を接合中に導入することでオン電流を増大させる方法を提案・実証した。また、同素子は量子コンピュータの基本素子の 1 種であるスピン量子ビットとしても動作することが見いだされている。本課題は、これら 2 つの応用に向けて、微細 TFET 素子を試作し、特性を評価するものである。

2. 実験(Experimental)

【利用した主な装置】

高速電子ビーム描画装置(エリオニクス)
解析用 PC(CAD 及び近接効果補正用)

【実験方法】

本課題は、産総研 2 インチラインにおいてシリコンを母材とする微細 TFET 素子を作製するために、リソグラフィ工程について NPF クリーンルームとのクロスランにより実施した。高速電子ビーム描画装置を利用、またその描画パターン形成に際して近接効果補正を行うために解析用 PC を利用している。本年度は高温動作可能を実現する微細 TFET 型量子ビットの試作を主として実施、温度特性の更なる改善に向けた研究のための実験を実施した。

3. 結果と考察(Results and Discussion)

本年度作製した量子ビット素子は等電子トラップ(Isoelectronic Trap; IET)不純物を導入した TFET である。また、IET 不純物それ自身の評価を実施するために、同不純物を導入したダイオードおよび MOS キャパシタも

併せて試作している。

Figure 1 は作製したある 1 つの TFET の走査型電子顕微鏡(SEM)写真である。高速電子ビーム描画装置の利用により、ゲート長 50 nm という短チャネルの素子が作製できていることがわかる。本年度は様々な種類の IET 不純物を導入した実験を行っており、今後その測定評価を実施していく予定である。

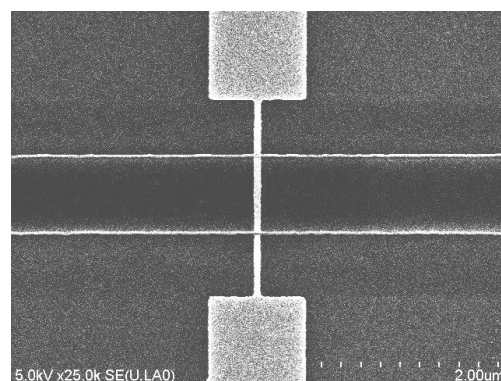


Figure 1 SEM image of a fabricated TFET with the gate length of 50 nm.

4. その他・特記事項(Others)

本研究における試作は、JST-CREST、文科省 Q-LEAP、科研費基盤(A)の 3 つのプロジェクトのために実施したものである。

本研究は産総研-理研間の共同研究としても実施したものであり、理研-産総研チャレンジ研究プロジェクトのための試作も含まれる。

共同研究者: 産業技術総合研究所 森貴洋, 那海濤

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。